

DRM/DAB/AM/FM 频率综合器中吞吐脉冲分频器的设计

雷雪梅^{1, 2}, 王志功¹, 沈连丰¹, 王科平³

(1. 东南大学 信息科学与工程学院, 210096 南京; 2. 内蒙古大学 电子信息工程学院, 010010 呼和浩特;
3. 华盛顿大学 电子电气工程学院, 98195 西雅图)

摘要:为使 DRM/DAB/AM/FM 频率综合器具有良好性能,本文设计了一种高速大分频比低功耗吞吐脉冲分频器. 此吞吐脉冲分频器由 32/33 双模预分频器(dual-modulus prescaler, DMP)、5 位吞吐计数器和 11 位可编程分频器及时序控制电路构成. 此吞吐脉冲分频器内部的不同模块分别采用 SCL、TSPC、CMOS 静态触发器及可置位的 CMOS 静态触发器等多种触发器结构优化,使此吞吐脉冲分频器具有高速、大分频比和低功耗的特点. 此吞吐脉冲分频器应用中芯国际 SMIC 0.18 μm RF CMOS 工艺流片,芯片核心面积为 270 $\mu\text{m}\times 110\ \mu\text{m}$. 测试结果显示,在 1.8 V 工作电压的条件下,此吞吐脉冲分频器的最高工作频率为 3.4 GHz,工作频率范围为 0.9~3.4 GHz. 在输入信号频率为 3.4 GHz,分频比为 45 695 时,功耗为 3.2 mW. 实验结果表明,此吞吐脉冲分频器完全满足 DRM/DAB/AM/FM 频率综合器的要求.

关键词: 吞吐脉冲分频器;高速;大分频比;低功耗;DRM/DAB/AM/FM 频率综合器

中图分类号: TN792; TN795 **文献标志码:** A **文章编号:** 0367-6234(2014)03-0074-06

A design of pulse swallow frequency divider for DRM/DAB/AM/FM frequency synthesizer

LEI Xuemei^{1, 2}, WANG Zhigong¹, SHEN Lianfeng¹, WANG Keping³

(1. School of Information Science and Engineer, Southeast University, 210096 Nanjing, China;
2. College of Electronic Information Engineering, Inner Mongolia University, 010010 Hohhot, China;
3. Dept. of Electrical Engineering, University of Washington, 98195 Seattle, USA)

Abstract: For the good performance of DRM/DAB/AM/FM frequency synthesizer, the implementation of a high-speed large division ratio low-power pulse swallow frequency divider is described, which consists of a divided-by-32/33 dual-modulus prescaler (DMP), a 5 bits swallow counter, an 11-bits programmable divider, and a time sequence control circuit. The different modules of pulse swallow frequency divider apply SCL, TSPC, CMOS static flip-flop DFF, and CMOS static flip-flop DFF with preset to realize the low power, large division ratio, and high speed performances. The chip has been fabricated in a 0.18 μm CMOS process of SMIC and the core area is 270 $\mu\text{m}\times 110\ \mu\text{m}$. Measured results show that its most high operation frequency is 3.4 GHz and the rang of operation frequency is from 0.9 GHz to 3.4 GHz. And when the operating frequency is 3.4 GHz and division ratio is 45 695, the maximum core power consumption is 3.2 mW under 1.8 V power supply. Its performance satisfies the requirement of DRM/DAB/AM/FM frequency synthesizer.

Keywords: pulse swallow frequency divider; high speed; large division ratio; low power consumption; DRM/DAB/AM/FM frequency synthesizer

收稿日期: 2012-12-17.

基金项目: 科技部中小企业创新基金资助项目(11c26213211234);内蒙古自治区高等学校科学技术研究资助项目(NJZY11016).

作者简介: 雷雪梅(1972—)女,博士后,副教授;
王志功(1954—)男,教授,博士生导师;
沈连丰(1952—)男,教授,博士生导师.

通信作者: 王志功, zgwang@seu.edu.cn.

随着广播技术的发展,数字广播逐步取代模拟广播,并已成为广播技术发展的必然趋势.而在众多数字广播标准中,DRM(Digital Radio Mondiale)^[1]和DAB(Digital Audio Broadcasting)^[2]由于其突出的优点^[3]而被在全球推广应用.但目前基于DRM和DAB标准的高质

量接收机体积较大且价格昂贵, 而使其成为推广的一个瓶颈. 因此, 提高集成度、降低价格、减小体积成为数字广播接收机的研究热点. 另一方面, 为了兼顾技术发展和现有资源再利用, 基于 DRM 和 DAB 标准的接收机应该兼容模拟广播 AM 和 FM. 兼容多个标准, 接收机需覆盖的频段范围为 148~1 500 000 kHz, 使射频前端成为实现接收机的关键部分和设计难点.

为了能同时满足 DRM、DAB、AM 和 FM 标准对接收机的要求, 降低射频前端频率综合器的设计难度, 射频前端采用二次变频的低中频结构, 本振信号输出范围为 36.600 5~1 572.452 MHz^[4]. 另外为了同时满足 DRM、DAB、AM 和 FM 标准的信道带宽要求, 频率综合器采用了带输出分频器的单环单压控振荡器结构^[3], 如图 1 所示.

为满足 DRM、DAB、AM 和 FM 标准各个频段对频率间隔的要求, 频率综合器环内分频比范围为 3 272~37 162, 吞吐脉冲分频器的输入信号频率范围为 2 500~3 055 MHz, 在此吞吐脉冲分频器必须具有高速、大分频比、可编程和低功耗等特性. 本文的主要工作是设计满足以上要求的高速低功耗 16 位可编程吞吐脉冲分频器, 并采用中芯国际 SMIC 0.18-μm CMOS RF 工艺实现.

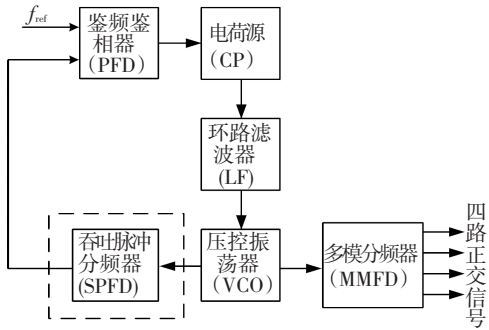


图 1 DRM/DAB/AM/FM 频率综合器的结构框图

1 吞吐脉冲分频器结构

根据 DRM/DAB/AM/FM 频率综合器对吞吐脉冲分频器的要求, 对吞吐脉冲分频器的主要模块双模分频器 (dual-modulus prescaler, DMP)、吞吐计数器和可编程分频器进行规划.

吞吐脉冲分频器工作原理如下: 首先分别给可编程分频器和吞吐计数器置初值 P 和 S ($P > S$), 双模分频器的模式转换控制信号 MC 置为低电平, 同时在输入时钟信号的控制下 DMP 进行 $(M + 1)$ 分频. 吞吐计数器和可编程分频器把 DMP 的输出信号作为输入时钟信号开始计数. 当吞吐计数器计数到 0 时, MC 信号翻转为高电平, DMP 开始 M 分频. 当可编程分频器各个输出端皆

为 0 时, 可编程分频器、吞吐计数器和 MC 复位, 重复上述过程.

根据以上描述可知, 在时序控制电路的控制下, DMP 对输入信号首先 S 次进行 $(M + 1)$ 分频, 然后进行 $(P - S)$ 次 M 分频, 所以总的分频比 N 为

$$N = (M + 1) \times S + M \times (P - S) = M \times P + S. \tag{1}$$

分析此吞吐脉冲分频器分频比要求, 确定双模分频器、吞吐计数器和可编程分频器的位数. 分频比要求:

- 1) 最高分频比为 37 162 (1 001 000 100 101 010)₂, 吞吐脉冲分频器为 16 位分频器;
- 2) 最低分频比 3 272 (110 011 001 000)₂, 即要求吞吐计数器和 DMP 触发器个数和小于 11;
- 3) 为了使分频比可连续变化, DMP 和吞吐计数器为相同位数.

综合以上分析, 最终确定此吞吐脉冲分频器包括一个 32/33 双模分频器 DMP、5 位的吞吐计数器、11 位的可编程分频器以及对应的时序控制电路, 其结构如图 2 所示.

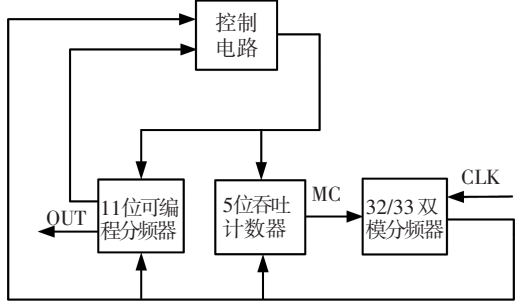


图 2 可编程吞吐脉冲分频器的结构框图

2 模块设计

此吞吐脉冲分频器的主要模块为 32/33 多模分频器、吞吐计数器和可编程分频器, 其主体电路单元都是触发器, 各个模块的设计主要集中在从输入信号频率范围、功耗及噪声等方面选择合适的触发器结构, 并进行优化.

2.1 32/33 双模分频器的设计

DMP 的实现方式主要有三种: 触发器和组合逻辑门^[5]、相位开关技术^[6]和注入锁定技术^[7]. 其中相位开关技术的双模分频器需要解决信号畸变问题, 实现复杂; 注入锁定技术的双模分频器的带宽比较窄; 触发器和组合逻辑门的双模分频器具有宽带特性而被广泛应用^[8-13].

本设计为了可靠保证速度和工作带宽, 32/33 双模分频器采用触发器和组合逻辑门实现的双模

分频器,包括同步 4/5 双模分频器和异步 8 分频器两个模块,其结构如图 3 所示。图中 V_c 信号为控制 4/5 双模分频器的分频模式,当 V_c 高电平为 4 分频,低电平为 5 分频时, V_c 信号的电平转换由 MC 信号和异步 8 分频器的 3 个输出信号通过“或”运算来进行控制。

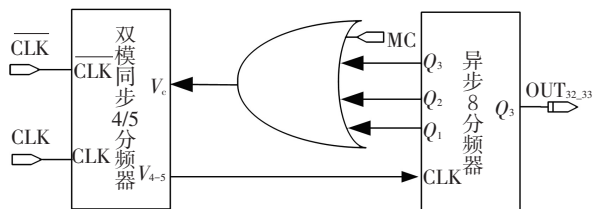


图 3 32/33 双模分频器的结构框图

由吞吐脉冲分频器的输入信号频率范围可知,同步 4/5 双模分频器输入信号频率在 2.5 ~ 3.055 GHz 范围内,所以 4/5 双模分频器的触发器选用广泛应用于高速宽带的源极耦合逻辑 (source couple logic, SCL) [8-10] 结构。对于这种结构的双模分频器,其最高工作频率 $f_{\max}$ 为

$$f_{\max} = \frac{1}{t_{\text{pdf}} + t_{\text{pgate}}} \quad (2)$$

式中: t_{pdf} 为一级触发器的传输延迟; t_{pgate} 为分频器内部逻辑运算的逻辑门的传输延迟。根据式 (2),减少传输延迟可提高工作速度,所以在 SCL 触发器里集成了“或”逻辑 [14],使整个延时只为一二级触发器的延时,极大的提高了工作速度。

异步分频器中的第一级 2 分频器的工作频率范围为 500 MHz ~ 1 GHz,其工作频率为中高,重点优化功耗和面积,所以第一级 2 分频器的触发器结构为真单时钟 (true-single-phase-clock, TSPC) [12],通过参数优化达到指标要求。

对于异步分频的最后两级,最高工作频率不超过 500 MHz,选择具有相对较大的带宽、优良相位噪声性能及静态功耗为零的 CMOS 静态触发器,其电路结构如图 4 所示。

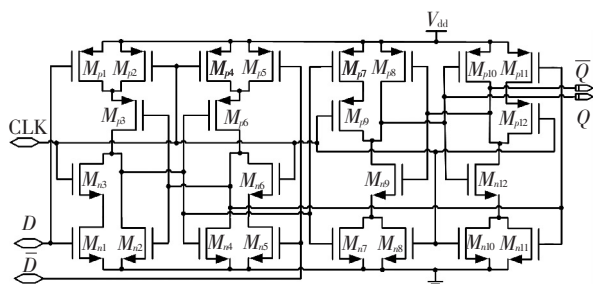


图 4 CMOS 静态触发器的电路原理

以上 3 种结构的触发器配合工作,使整个 DMP 具有高速、宽频带、低功耗和低相位噪声等性能。

2.2 吞吐计数器的设计

吞吐计数器的输入时钟信号为 32/33 双模分

频器的输出信号,其频率范围为 75 ~ 96 MHz,为了完成可编程计数,每一级分频器必须具有置位和使能端,所以其内部触发器单元基本结构选择为带置位使能端的 CMOS 静态 DFF (在图 4 的电路加上带置位和使能端)。吞吐计数器同时为 DMP 提供 MC 信号。为了保证整个吞吐脉冲分频器的工作时序,产生的 MC 信号必须保持到置数生效之前,即置数完毕后才可翻转为低电平,并在 SC 计数到 0 时同步翻转为高电平。

因此,吞吐计数器包括两部分:5 位的异步可置位计数器和 MC 信号产生电路,如图 5 所示。

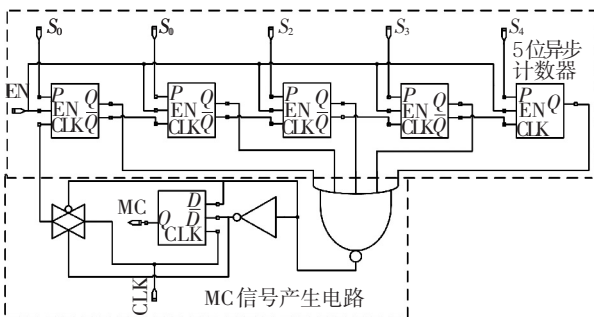


图 5 吞吐计数器的原理

2.3 可编程分频器的设计

可编程分频器的输入时钟信号频率范围和吞吐计数器相同,也需具有可编程分频功能,所以其内部触发器单元结构与吞吐计数器相同。可编程分频器同时要为自身和吞吐计数器提供置数使能信号 EN,为了保证可编程分频器和吞吐计数器有序工作,置位信号 EN 要求在 1 个时钟周期内完成并保持 1 个时钟周期。故可编程分频器包括三部分:11 位异步可置位分频器、置位使能信号产生电路和输出信号产生电路,如图 6 所示。

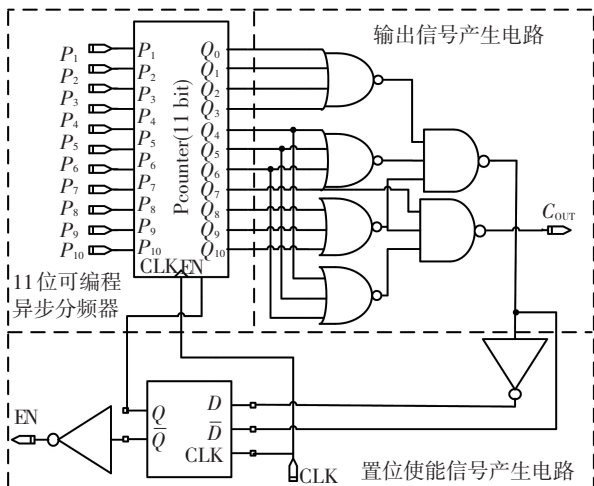


图 6 可编程分频器的原理

综上所述,32/33 双模分频器、5 位吞吐计数器和 11 位可编程分频器在时序上配合工作,在电路无缝衔接,保证了吞吐脉冲分频器良好性能。

3 测试结果

设计的可编程吞吐脉冲分频器采用中芯国际SMIC 0.18 μm RF CMOS 工艺实现的,其芯片照片如图7所示.包括焊盘和驱动电路,芯片面积为 $625\text{ }\mu\text{m}\times 575\text{ }\mu\text{m}$,其中核心部分的面积为 $270\text{ }\mu\text{m}\times 110\text{ }\mu\text{m}$.

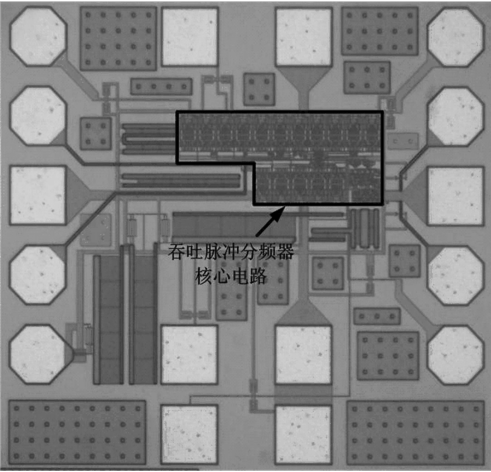


图7 吞吐脉冲分频器的芯片照片

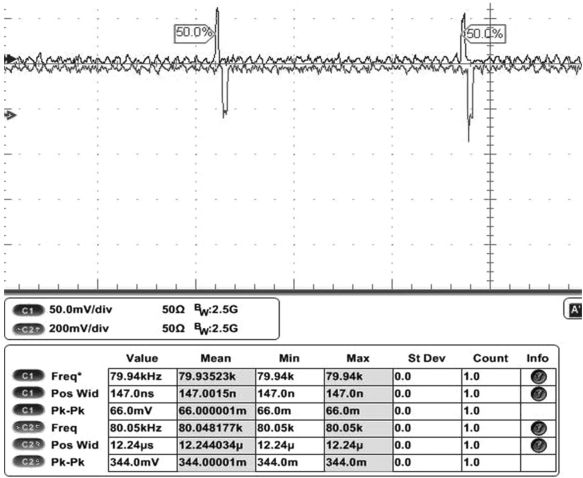
在流片过程中,为了节省芯片面积,一些可编程控制引脚预先在芯片内部就接到了VDD或GND引脚上.例如,图6中的 P_0 和 P_1 接到VDD, P_2 、 P_3 、 P_5 、 P_6 和 P_9 接到GND;图5中的 S_4 接到图5中的 P_{10} , S_3 接到 P_8 , S_2 接到 P_7 , S_1 和 S_0 接到 P_4 .所以在测试过程中,分频比的改变是通过改变接入到 P_{10} 、 P_8 、 P_7 和 P_4 的高低电平来改变的.由于篇幅原因,只给出典型的两种控制字,三种测试结果,控制字的设置如表1所示.

表1 测试时的两种控制字的设置

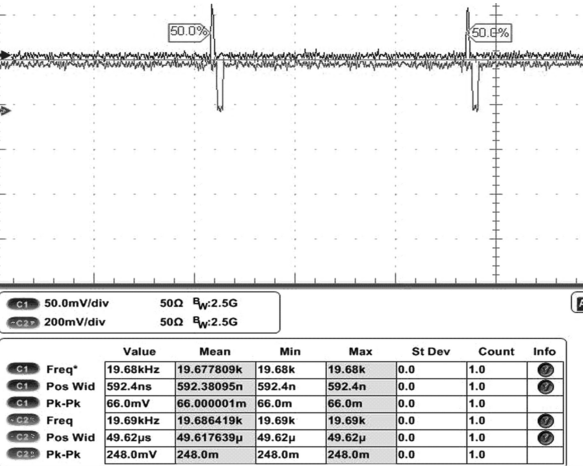
分频比	P_{10}	P_8	P_7	P_4
36980 (MF 波段)	1	0	1	0
45695 (maximum)	1	1	1	1

芯片的测试在东南大学射频与光电集成电路研究所完成,测试中使用的仪器有:微波与高速芯片探针台(Cascade Summiti 1000)、脉冲码形发生器(Advantestd 3186)、示波器(Tektronix DPO 7354)以及电源(Kikusui PMR18-1.3TR和Agilent 66309D,测试结果如图8所示.图8中上面的信号为可编程分频器的输出信号 C_{out} ,下面为MC信号.

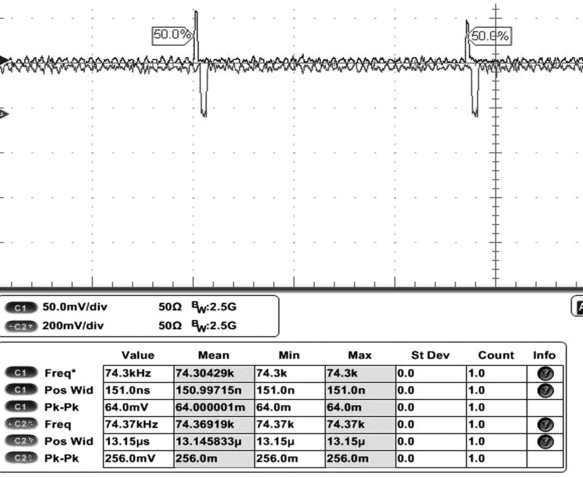
对应于此吞吐脉冲分频器灵敏度测试结果如图9所示.由图9可知,在输入信号峰峰值电压小于1V的情况下,此吞吐脉冲分频器可靠的工作频率范围为0.9~3.4GHz.



(a) 输入信号频率为2.9584GHz,分频比为36980时,输出信号 C_{out} 和MC的测试结果



(b) 输入信号频率为0.9GHz,分频比为45695时,输出信号 C_{out} 和MC的测试结果



(c) 输入信号频率为3.4GHz,分频比为45695时,输出信号 C_{out} 和MC的测试结果

图8 可编程分频器的测试结果

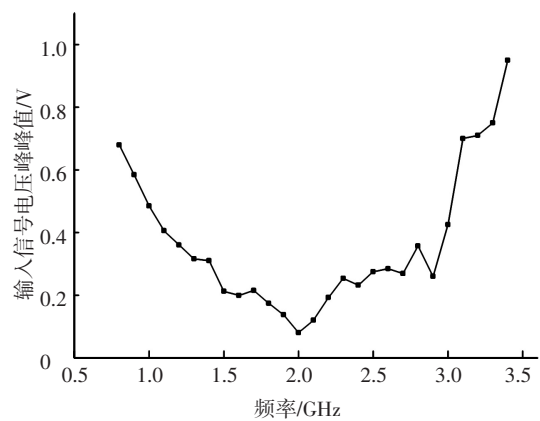


图 9 可编程吞吐脉冲分频器灵敏度测试结果

此 16 位可编程吞吐脉冲分频器与最近其他公开发表可编程整数分频器的研究测试结果比较如表 2 所示.为了对各个可编程分频器的总体性能比较,特定义优值 FOM (figure of merit),根据文献[15]的研究成果可知,功耗与输入频率和分频比近似成正比关系,定义 FOM 为

$$F_{\text{FOM}} = 10\log\left[\frac{f_{\text{max}} \cdot (M_{\text{division ratio}})_{\text{max}}}{P_{\text{mW}}}\right]. \quad (3)$$

式中: f_{max} 为最高输入频率, $(M_{\text{division ratio}})_{\text{max}}$ 为所能达到的最大分频比, P 为所消耗的功率.

表 2 与其他最近的研究成果比较

来源	CMOS 工艺/nm	工作频率范围/GHz	可编程的分频比	功耗/mW	FOM
文献[5]	90	0~5.500	1~256	1.000	31.5
文献[15]	65	0.600~4.200	15~50	1.350	21.9
文献[16]	180	4.000~6.000	2 403~2 480	2.200	38.3
文献[17]	180	0.100~3.125	155~175	0.475	30.6
本文	180	0.500~3.400	1 024~45 695	3.200	46.8

4 结 论

本文设计了应用于 DRM/DAB/AM/FM 频率综合器的高速低功耗 16 位可编程吞吐脉冲分频器,采用中芯国际 SMIC 0.18 μm CMOS 工艺实现.测试结果表明,此吞吐脉冲分频器工作频率范围为 0.9 ~ 3.4 GHz,在 1.8 V 的工作电压,3.4 GHz 的工作频率下,其功耗为 7.2 mW (包括测试驱动电路的功耗).根据仿真,可以估算出各个部分的功耗,其中 32/33 双模分频器、5 位吞吐计数器和 11 位可编程分频器的平均功耗分别为 2.61 mW、0.35 mW 和 0.09 mW,所以芯片核心部分的功耗为 3.2 mW.由表 2 中本文设计实现的吞吐脉冲分频器与最近的研究结果比较可知,其所能达到的分频比最大,工作频率范围和功耗适中,并达到了最高的优值 FOM.故此可编程分频器不仅完全满足 DRM/DAB 频率综合器的要求,而且也适用于其他多标准、超宽带、低功耗的频率综合器.

参考文献

[1] ETSI. ETSI ES 201 980. Digital Radio Mondiale (DRM); System Specnification [S]. Nice: European Telecommunications Standards Institute, European Broadcasting Union, 2005.

[2] ETSI. ETSI EN 300 401. Digital Audio Broadcasting

(DAB) to Mobile, Portable and Fixed Receivers [S]. Nice: European Telecommunications Standards Institute, European Broadcasting Union, 2006.

[3] 周建政. DRM/DAB/AM/FM 接收机射频前端芯片设计中的关键技术研究 [D]. 南京:东南大学,2009.

[4] 周建政,王志功,李莉,等. DRM 接收机射频前端芯片的频率规划设计 [J]. 高技术通讯, 2008, 18 (5): 480-486.

[5] LIN C S, CHIEN T H, WEY C L. A 5.5-GHz 1-mW full-Modulus-range programmable frequency divider in 90 - nm CMOS process [J]. IEEE Transactions on Circuits and Systems-II: Express Briefs, 2011, 58 (9): 550-554.

[6] CRANINCKX J, STEYAERT M. A 1.75 GHz 3 V dual modulus divider by 128/129 prescaler in 0.7 μm CMOS [J]. IEEE Journal of Solid-State Circuits, 1996, 31 (7): 890-897.

[7] YIU Xiaopeng, ZHOU Jianjun, YAN Xiaolang, et al. Sub-mW multi-GHz CMOS dual-modulus prescalers based on programmable injection-locked frequency dividers [C] // IEEE Radio Frequency Integrated Circuits Symposium, 2008. Atlanta, GA, 2008: 431 - 434.

[8] XU Yong, WANG Zhigong, LI Zhiqun, et al. A novel high-speed lower-jitter lower-power dissipation dual-modulus prescaler and applications in PLL frequency synthesizer [J]. Chinese Journal of Semiconductors, 2005, 26 (1): 176-179.

- [9] LI Zhiqiang, CHEN Liqiang, ZHANG Jian, et al. A programmable 2.4 GHz CMOS multi-modulus frequency divider [J]. Chinese Journal of Semiconductors, 2008, 29(2): 521–526.
- [10] SHU K, SÁCHEZ-SINENCIO E, SILVA-MARTÍNEZ, et al. A 2.4-GHz monolithic fractional-N frequency synthesizer with robust phase-switching prescaler and loop capacitance multiplier [J]. IEEE Journal of Solid-State Circuits, 2003, 38(6): 866–974.
- [11] CHI Baoyong, SHI Bingxue. A novel CMOS dual-modulus prescaler based on new optimized structure and synamic circuit technique [J]. Chinese Journal of Semiconductors, 2002, 23(4): 357–361.
- [12] HUANG Qiuting, ROGENMOSER R. Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks [J]. IEEE Journal of Solid-State Circuits, 1996, 31(3): 456–465.
- [13] de MIRANDA F P H, Jr Navarro S J, Van NOIJE W A M. A 4 GHz dual modulus divider-by 32/33 prescaler in 0.35 μm CMOS technology [C]//17th Symposium on Integrated Circuits and Systems Design, 2004. Pemanbuca, Brazil: [s.n.], 94–99.
- [14] XU Yong, WANG Zhigong, LI Zhiqun, et al. A novel high-speed lower-jitter lower-power dissipation dual-modulus prescaler and applications in PLL frequency synthesizer [J]. Chinese Journal of Semiconductors, 2005, 26(1): 176–179.
- [15] GAO Haijun, SUN Lingling, LIU Jun. Pulse swallow frequency divider with idle DFFs automatically powered off [J]. Electronics Letters, 2012, 48 (11): 636–638.
- [16] YU Lu, FAN Xiangning, LI Bin. A 4–6 GHz low-voltage CMOS integer-M frequency divider applied in wireless sensor networks [C]//IEEE 11th International Conference on Solid-State and Integrated Circuit Technology. Xi'an: [s.n.], 2012: 1–3.
- [17] PAN Jie, YANG Haigang, YANG Liwu. A high-speed low-power pulse-swallow divider with robustness consideration [C]//9th International Conference on Solid-State and Integrated-Circuit Technology. Beijing: [s.n.], 2008: 2168–2171.

(编辑 张 宏)