

doi:10.11918/j.issn.0367-6234.2016.03.007

低功耗电流模互连电路的快速优化设计方法

王新胜¹, 胡诣哲^{1,2}

(1.哈尔滨工业大学(威海)信息与电气工程学院, 264209 山东 威海;

2.都柏林大学 电气与电子工程学院, D04 V1W8 爱尔兰 都柏林)

摘 要: 为对低功耗电流模互连电路进行快速优化,提出了一种“自顶向下”的动态驱动电流模互连电路的快速优化设计方法. 方法首先对动态驱动电流模电路进行行为级建模,并采用 MATLAB 对数据进行处理优化电路功耗,确定出最优的电流源电流大小. 然后利用“ $2I_D/g_m$ ”方法,快速而准确地确定出相应 MOS 管尺寸. 同时,也对“ $2I_D/g_m$ ”的模拟集成电路设计方法,进行了较为详细的理论分析. 仿真结果表明:使用该方法确定出的 MOS 管尺寸得到的性能十分接近设计指标,只需通过少量修改便可完成设计. 该方法大大提高了设计效率.

关键词: 电流模;互连线;数字电路; $2I_D/g_m$ 设计方法; 功耗优化

中图分类号: TN492

文献标志码: A

文章编号: 0367-6234(2016)03-0039-07

The optimization design method of low power current-mode interconnect circuit based fast approach

WANG Xinsheng¹, HU Yizhe^{1,2}

(1.School of Information and Electrical Engineering, Harbin Institute of Technology, Weihai, 264209 Weihai, Shandong, China;

2. School of Electrical and Electronic Engineering, University College Dublin, D04 V1W8 Dublin, Ireland)

Abstract: In order to optimize the lower power current-mode signaling (CMS) circuit, we offered a top-down methodology to optimize the power of a dynamic overdriving CMS circuit. First, we molded the CMS scheme using a behavioral model-switched current source, which helps us determine the branch current quickly. Under the help of Matlab, we can determine the optimized branch currents, making the average power of the CMS scheme lowest. To get the accurate dimensions of MOSFETs quickly, a new design method of $2I_D/g_m$ methodology is introduced. Moreover the detail analysis shows that the $2I_D/g_m$ methodology is both practical and scientific. The simulation results using initial values calculated by this methodology are very close to the specs, demonstrating the top-down methodology improving the design efficiency of the dynamic overdriving CMS-circuit.

Keywords: current-mode; interconnect wire; digital circuit; $2I_D/g_m$ methodology; power optimization

随着 CMOS 工艺进入深亚微米时代,大型数字逻辑模块间的互连线连接变得日益复杂. 超长互连线不可避免地出现在片上系统及多核处理器等复杂的数字系统中^[1-4]. 但是,超长互连线引入的大量寄生参数严重阻碍了数字系统的速度和功耗. 所以,如何解决信号在长互连线上快速且低功耗的传递成为设计高速数字集成电路的关键. 传统在互连线上等间距插入缓冲器的做法,在高速电路中将增加大量功耗,已经不再适用. 电流模互连电路作为解决

互连线上信号传递问题最有潜力的解决方案之一已经被广泛研究. 文献[1-2]中提出了电容耦合驱动器的电流模式电路. 在 90 nm 工艺,驱动 10 mm 长互连线的测试中,该方法与插入缓冲器的方法相比获得了 85% 的功耗性能提升. 文献[3-9]则提出了动态电流源结构(dynamic overdriving),这种结构具有两套开关电流源:强驱动电流源和弱驱动电流源,较好地兼顾了速度和功耗性能的矛盾.

电流模互连电路的设计属于模拟电路设计范畴,但是由于短沟道效应,如:纵向电场导致的迁移率退化,水平电场导致的速度饱和效应,平方律对于深亚微米的 CMOS 电路中 MOSFETs 的尺寸确定已经不再适用. 1996 年, F. Silveira 等^[10]提出了一种新

收稿日期: 2014-10-09.

基金项目: 国家自然科学基金(61201307).

作者简介: 王新胜(1978—),男,博士,讲师.

通信作者: 王新胜, xswang@hit.edu.cn.

的电路设计方法—基于 g_m/I_D 的设计方法学. 这种方法提出了一种新的特征参数, 即电流效率 g_m/I_D , 用以表征单位电流强度的跨导. 通过仿真单个管子基于此参数 (g_m/I_D) 的单位宽度的电流强度 (I_D/W), 制成设计表格, 通过查表的方式来得到管子的宽 W . 这种设计方式的准确性较高, 因为各种短沟道效应已经通过仿真被包含进了设计表格中. D. Foty 在 F. Silveira 的研究基础上, 用 g_m/I_D 的方法重新阐述了深亚微米时代 MOS 管的种种短沟道效应^[11]. B. E. Boser^[12] 提出用设计参数 $2I_D/g_m$, 代替 g_m/I_D , 使得该方法和传统的基于过驱动电压的设计能够很好结合, 因为在长沟道条件下的饱和区管子 $2I_D/g_m$ 就是过驱动电压. P. Jespers 系统的总结了 g_m/I_D 的设计理论, 认为这是在深亚微米工艺下一种确定管子尺寸的优良工具^[13]. Stanford 的 Boris Murmann 等^[14] 提出了用 5 种特征参数 g_m/I_D , g_m/g_{ds} , g_m/c_{gs} , c_{gd}/c_{gs} , c_{db}/c_{gs} , 来描述一个管子, 其中 c_{gd}/c_{gs} 和 c_{db}/c_{gs} 可以用来预测管子的寄生电容特性.

本文提出一种模拟电路快速设计方法并应用于文献[15]提出的电流模式互连电路的设计中, 其首先基于 MATLAB 对电流模电路建模找到优化的功耗设计指标, 然后运用 $2I_D/g_m$ 方法快速确定电流模电路中 MOS 管的尺寸. 这一套方法, 亦可应用在其他深亚微米模拟集成电路的设计中. 接下本文介绍了应用于电流模电路的 $2I_D/g_m$ 方法的设计流程; 并将该方法应用到电流模电路的设计中, 证明此方法的有效性.

1 $2I_D/g_m$ 的设计流程

本节系统介绍应用在电流模式互连电路设计中的 $2I_D/g_m$ 方法. 由于电流模式互连电路设计不需要估算 C_{gd} 和 C_{db} , 对 MOS 管的本征增益也没有要求, 故本文不对电容系数 C_{gd}/C_{gs} , C_{db}/C_{gs} 以及 MOS 管本征增益 g_m/g_{ds} 说明, 只研讨和电流模电路设计相关的“类过驱动电压” $2I_D/g_m$ 和速度效率指标 $f_T * g_m/I_D$. 由此, 归纳出应用在电流模式互连电路设计中的 $2I_D/g_m$ 方法.

1.1 短沟道 MOS 管的类过驱动电压 V^*

长沟道模拟集成电路设计中, 常常关心一个 MOS 管的 3 个指标: 跨导 g_m , 源极电流 I_D , 以及过驱动电压 $V_{GS} - V_{TH}$. 对于饱和区的 MOS 管他们之间的关系可写为

$$V_{GS} - V_{TH} = 2I_D/g_m. \quad (1)$$

根据电路频率响应, 功耗等指标, 确定出上述 3 个指标的任意两个, 便可依据 MOS 管平方律推算出 MOS 管的宽长比, 即

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2. \quad (2)$$

但是在深亚微米工艺中, 由于 MOS 管内横向电场导致的速度饱和效应和纵向电场导致的迁移率退化效应, 迁移率 μ 的大小是不固定的, 它与沟道长度 L 和过驱动电压 $V_{GS} - V_{TH}$ 都有关. 所以, 深亚微米工艺下, MOS 管的平方律已经失效了. 但是, 可以沿用式(1)的定义, 得到一个新的物理量: 类过驱动电压, 计算公式为

$$V^* = 2I_D/g_m. \quad (3)$$

用以表征 MOS 管产生每单位跨导所需的直流的大小. 原来在设计 MOS 管时, 挑选过驱动电压的大小, 现在变为挑选类过驱动电压的大小. 过驱动电压 $V_{GS} - V_{TH}$ 和类过驱动电压 V^* , 正相关但并不相等, 如图 1、2 所示. 对式(3)变形, 得

$$I_D = \frac{1}{2} g_m V^*, \quad (4)$$

两边同时除以 W 得到, 某一 V^* 和 L 下每单位宽度电流为

$$I^* = I_D/W = \frac{1}{2} \frac{g_m}{W} V^*. \quad (5)$$

其中 g_m/W 与 MOS 管的长度 L 和过驱动电压 $V_{GS} - V_{TH}$ (或类过驱动电压 V^*) 相关, 与 MOS 管宽度无关. 即选定 MOS 管 L 和类过驱动电压后, 有唯一的每单位宽度电流 I^* 与之对应.

将 NMOS 接成二极管接法, 如图 1 所示, 扫 V_{GS} 电压, 在不同直流工作点下, 让 SPICE 分别计算 $2I_D/g_m(V^*)$ 和 $I_D/W(I^*)$, 得到图 2 类过驱动电压 V^* 与过驱动电压的关系, 以及图 3 每单位宽度电流 I^* 与类过驱动电压 V^* 的关系. 由图 2 可以观察到类过驱动电压正相关于过驱动电压.

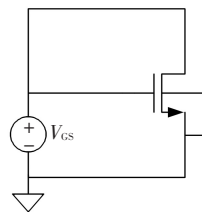


图 1 电流效率 g_m/I_D 仿真电路

假设根据频率响应的需求计算出 MOS 管所需的 g_m , 再挑选相应的 V^* , 由式(4) 计算得到 I_D . 接着, 通过查找图 3 得到该 V^* 对应的 I^* , 根据 $W = I_D/I^*$, 即可得到 MOS 管的宽度 W . 或者, 直接由功耗或者别的约束条件确定 I_D , 挑选 V^* , 查找图 3 得到对应的 I^* , 根据 $W = I_D/I^*$ 即可得到 MOS 管的宽度 W . 由于图 3 中的曲线, 是由 SPICE 模型仿真得到, 已包含了各种短沟道效应, 所以这种模拟电路设

计方法,能非常准确得到 MOS 管设计尺寸的初值.

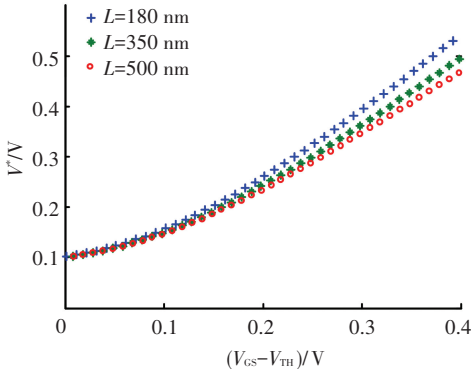


图 2 过驱动电压与类过驱动电压 V^* 的关系

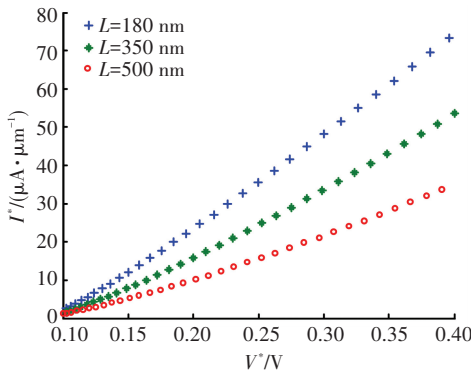


图 3 类过驱动电压 V^* 与每单位宽度电流 I^* 的关系

1.2 速度效率指标 $f_T^* g_m/I_D$

在 1.1 节中,引入了基于类过驱动电压确定 MOS 管参数的方法. 由于类过驱动电压正相关于过驱动电压(见图 3). 所以,大的类过驱动电压将提高 MOS 管的特征频率 f_T , 但同时也会增加功耗(对于产生同样的 g_m 来说,大的 V^* ,将要求大的 I_D). 为此,本文引入一个描述参数速度效率指标 $f_T^* g_m/I_D$. 其中,特征频率 f_T 正相关于 V^* ,而电流效率 g_m/I_D 负相关于 V^* . 图 4 描述了类过驱动电压与速度效率指标的 SPICE 仿真结果. 由图 4 可知, MOS 管的类过驱动电压 $V^* = 0.2 \text{ V}$ 时,能兼顾速度和功耗特性.

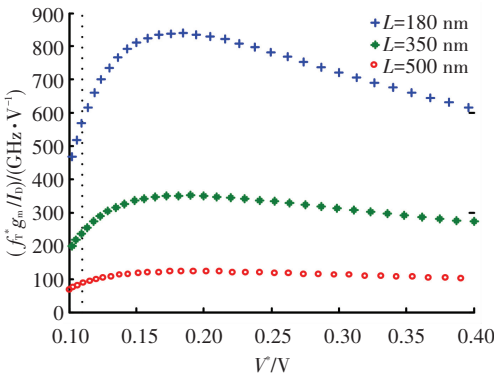


图 4 V^* 与速度效率指标的关系

2 基于 $2I_D/g_m$ 方法的电流模式互连电路优化设计与分析

2.1 电路功能描述

图 5 给出了动态电流模式互连电路结构图^[15], 其由发射器由弱驱动器 (weak driver), 强驱动器 (strong driver), 数字控制部分 (digital control), 以及偏置电路组成,用于将电压信号转换为电流信号注入到长互连线中. 接收器由电流电压转换器 IVC, 反相器放大器 IA, 反相器组成,用于将电流信号恢复成电压信号. 它的等效电路如图 6 所示^[15], 偏置电路用于产生一个参考电流 I_{ref} , 其镜像产生强驱动电流 I_{peak} 和弱驱动电流 I_{static} .

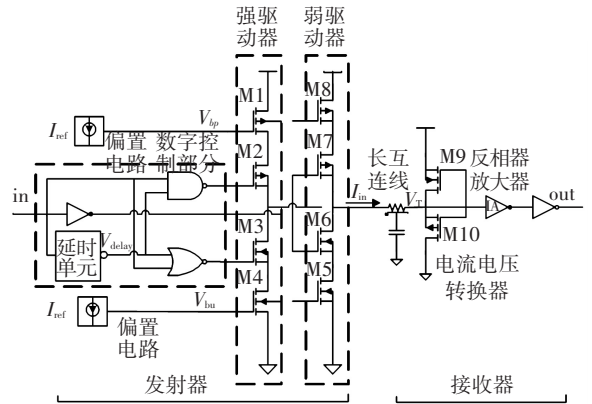


图 5 动态强驱动电流源结构的电流模互联电路

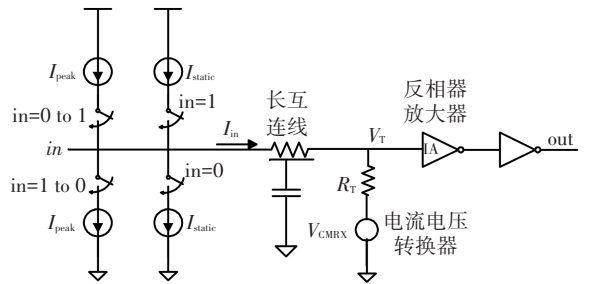


图 6 电流模互联电路等效电路

弱驱动器在信号传递期间一直工作,当输入信号为 1 时, M7 开启,弱驱动电流 I_{static} 注入到长线中;当输入信号为 0 时, M6 开启,反向弱驱动电流 $-I_{static}$ 注入到长线中. 弱驱动电流通过电流电压转换器产生一个低摆幅电压 $\Delta V = 2I_{static} \times R_T$, 其中 $R_T = \frac{1}{g_{m9} + g_{m10}}$ 为电流电压转换器的输入电阻. 由于数字控制器的作用,强驱动电流源只是在输入信号由 0 变成 1,或者由 1 变成 0 时工作. M2 和 M3 的开启时间由延时单元 (delay element) 的延时 t_d 决定. 电流电压转换器 IVC 的等效电路是一个电压源 V_{CMVX} 加上一个输入电阻 R_T . V_{CMVX} 必须与后一级的反相器放大器的转化电压 V_M 一致,才

能保证信号的上升传递时间 t_{PLH} 和下降传递时间 t_{PHL} 一致。

当输入信号为周期性方波时,动态驱动电流模式互连电路的各点波形如图 7 所示。其中 t_d 表示延时单元的延时; $I_{\text{peak}}, I_{\text{static}}$ 分别表示强驱动电流和弱驱动电流大小; V_{CMRX} 表示电流电压转换器的等效电压源电压。 ΔV 表示由弱驱动电流造成的电压摆幅。 t_p 表示电压信号经过发射器,长互连线,接收器的传递时间(propagation time)。

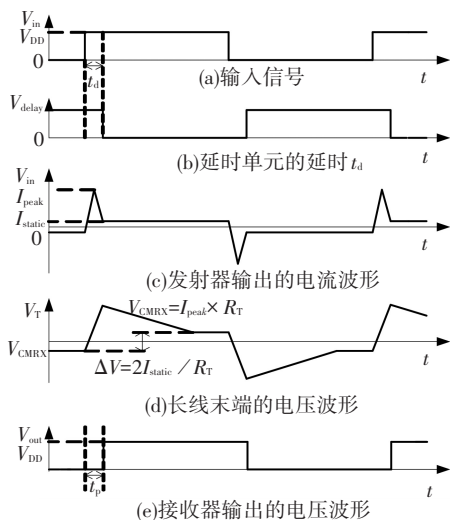


图 7 当输入信号为周期性的方波时该电流模电路各点波形

2.2 基于 Matlab 电流模式互连电路本征最低功耗优化设计及分析

电流模电路整体的平均功耗主要与 $I_{\text{peak}}, I_{\text{static}}$ 和 t_d 有关。在满足传递时间的要求下,它们的不同取值产生的功耗也不一样。

I_{static} 的大小,实际上是由 ΔV 和 R_T 决定的。为了获得较高的稳定性和噪声容限,所需的 ΔV 越大,则要求 I_{static} 越大,功耗越大。根据文献[4]所述,其最少为 60 mV。此时,若 R_T 越大,则 I_{static} 越小。取 $V_{\text{CMRX}} = 0.9 \text{ V}$ (1.8 V 的供电电压),则 M9 和 M10 的宽长之比一定,又由于电流电压转换器对管子的本征增益无要求,取两个管子的长度 $L = 180 \text{ nm}$,则 W_9/W_{10} 的比值确定。另一方面,M9 和 M10 构成的电流电压转换器的输入电阻为 $R_T = \frac{1}{g_{M9} + g_{M10}}$,为了获得最大的 R_T ,则 g_{M9} 和 g_{M10} 越小越好,也就是两个 MOS 管的 W 越小越好。根据以上分析,取 W_{10} 为最小值 220 nm;扫 W_9 ,得到 $W_9 = 0.63 \mu\text{m}$ 时, $V_{\text{CMRX}} = 0.9 \text{ V}$ 。此时 $R_T = 4.73 \text{ k}\Omega$,则得到 $I_{\text{static}} = 6.34 \mu\text{A}$ 。

I_{static} 的选取实际是由电路的稳定性决定,在满足稳定性的前提下,选取最小的 I_{static} 。相比之下, t_d 和 I_{peak} 的选取则由信号的传递延时时间 t_p 和整体功耗的大小决定。当越大,则 t_p 越小,功耗越大;当 t_d 和

I_{peak} 过小,强驱动的作用未能发挥,则电流电压转换器处的波形变换缓慢,造成接收器中,各部分充放电时间过长,则整体电路的平均功耗也将上升。综上分析,可知在满足 t_p 的条件下,有最优的 t_d 和 I_{peak} 取值。

本文用发射器的开关电流源模型对发射器进行建模,其电压输出波形如图 7(c) 所示。根据前文分

分析取 $I_{\text{static}} = 6.34 \mu\text{A}$ 。定义 $k = \frac{I_{\text{peak}}}{I_{\text{static}}} = \frac{I_{\text{peak}}}{6.34 \mu\text{A}}$ 和 t_d 作为设计变量并用 Assura 软件实际提取 10 mm 长线的单位长度电阻和电容值, $R = 95 \Omega/\text{mm}$, $C = 0.15 \text{ pF}/\text{mm}$ 。

对 k 和 t_d 在一定范围内扫描,在每一对 k 和 t_d 的取值下,进行瞬态仿真,然后让仿真器测量信号的传递时间 t_p 和平均功耗。最后用 MATLAB 作出 t_p 对 k 和 t_d ,以及平均功耗对 k 和 t_d 的三维图,如图 8、9 所示。图 8 显示,对于相同的强驱动电流作用时间 t_d 来说, k 越大则 t_p 越小。和前面分析一样,图 9 显示平均功耗是一个凹面图,有功耗最低点。对于相同 t_d 来说, k 越大,强驱动电流越大,功耗越大。但是如果 k 过小时,强驱动作用不明显,接收器各部分充放电时间过长,接收器将消耗大量能量,使得电路整体平均功耗依然上升。图 8、9 可用作动态驱动电流源电流模电路设计指导用表。先在图 8 中找到满足信号传递时间 t_p 的 k 和 t_d 的范围,再在图 9 中找到使功耗最低的 k 和 t_d 的取值后求交集。当 $k = 100, t_d = 0.28 \text{ ns}$ 时, $t_p = 0.57 \text{ ns}$ 最低平均功耗为 112 μW 。上述结果为该电流模电路本征最低平均功耗。

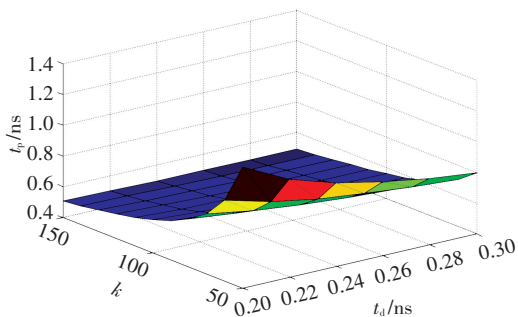


图 8 信号传递时间 t_p 与 k 和 t_d 的关系

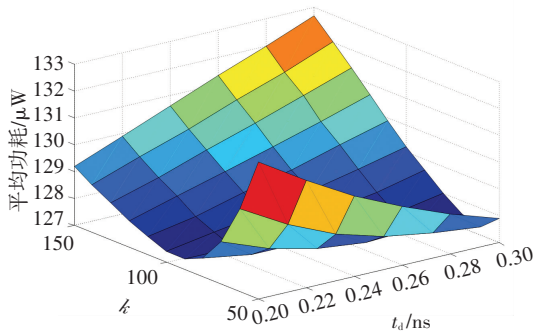


图 9 平均功耗与 k 和 t_d 的关系

接下来,本文将采用 $2I_D/g_m$ 的方法来确定 MOS 管宽度.为了使 MOS 管的速度效率指标最高,取 M1, M4, M5, M8 的类过驱动电压为 200 mV,则根据式(5)扫 I^* 与 V^* 的关系得到每单位宽度电流 $I_n^* = 27 \mu\text{A}/\mu\text{m}$, $I_p^* = 7.95 \mu\text{A}/\mu\text{m}$,则相应 MOS 管宽度分别为

$$W_1 = \frac{kI_{\text{static}}}{I_p^*} = \frac{100 \times 6.34 \mu\text{A}}{7.95 \mu\text{A}/\mu\text{m}} = 80 \mu\text{m}, \quad (6)$$

$$W_4 = \frac{kI_{\text{static}}}{I_n^*} = \frac{100 \times 6.34 \mu\text{A}}{27 \mu\text{A}/\mu\text{m}} = 23.5 \mu\text{m}, \quad (7)$$

$$W_5 = \frac{I_{\text{static}}}{I_n^*} = \frac{6.34 \mu\text{A}}{27 \mu\text{A}/\mu\text{m}} = 0.23 \mu\text{m}, \quad (8)$$

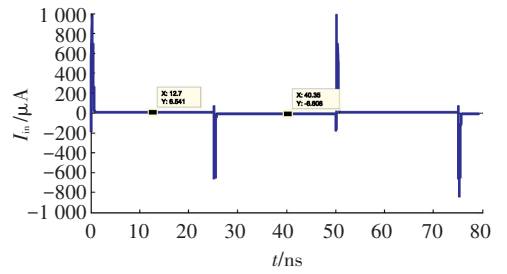
$$W_8 = \frac{I_{\text{static}}}{I_p^*} = \frac{6.34 \mu\text{A}}{7.95 \mu\text{A}/\mu\text{m}} = 0.80 \mu\text{m}. \quad (9)$$

开关管 M2, M3, M6, M7 的宽度可在 M1, M4, M5, M8 基础上,按一定比例缩小,保证开关管导通时,电流源管 M1, M4, M5, M8 工作在饱和区.较小尺寸的驱动管,其自身的寄生电容也较小,有利于节省功耗.

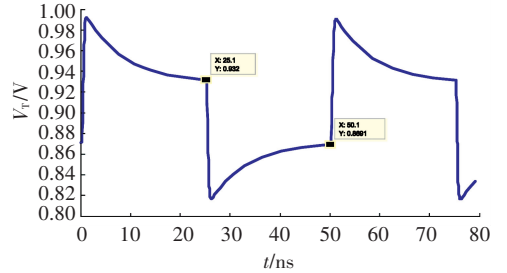
图 10 为实际瞬态仿真结果:a)发射器的输出电流,弱驱动电流为 $6.5 \mu\text{A}$,和计算值 $6.34 \mu\text{A}$ 非常接近;强驱动电流,与计算值也非常接近,这充分证明了采用 $2I_D/g_m$ 方法的优越性;b)接收器的输入电压 V_T ,其中 $\Delta V = 60 \text{ mV}$ 满足设计要求;c)显示了输入信号和输出信号的传递延时 t_p 约为 0.6 ns ,接近设计指标 0.57 ns .实际仿真测量功耗为 $121 \mu\text{W}$,功耗增加部分主要是偏置电路的功耗.

2.3 给定工作频率条件下基于 MATLAB 的功耗优化设计与分析

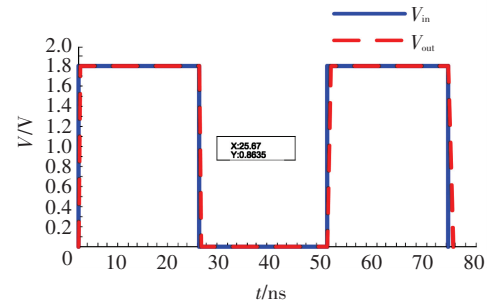
在 2.2 节的优化设计中,定义出了最小的弱驱动电流 $I_{\text{static}} = 6.34 \mu\text{A}$,在输入信号频率低于 40 MHz (周期 25 ns)时,随着工作频率升高,这样低的弱驱动电流便不能使得在半周期内, V_T 从 870 mV 升到 930 mV 或从 930 mV 降低到 870 mV .于是,在已知信号输入频率范围内,确定最小的 I_{static} ,需要采用新的方法.文献[15]中用的测试信号是由环形振荡器产生的 320 MHz 周期性方波,用以模拟 0.64 Gbps 的数据率.本文在这一节中也令输入信号为 320 MHz 的周期性方波,在此基础上进行功耗优化设计分析.为了确定出在 320 MHz 工作频率下的最小 I_{static} ,将对图 5 重新建模.发射器部分先让强驱动器停止工作,只保留弱驱动器.接收器部分的电流电压转换器,用 0.9 V 的直流电源加上电阻 $R_T = 30 \text{ mV}/I_{\text{static}}$.在一定范围内慢慢增加 I_{static} 观察输出波形,直到在半个周期 $1/640 \text{ MHz}$ 内, I_{static} 能使得 V_T 从 870 mV 升到 930 mV ,以及从 930 mV 降低到 870 mV .



(a) 发射器的输出电流 I_{in}



(b) 接收器的输入电压 V_T



(c) 输入电压与输出电压

图 10 初次仿真结果

图 11 给出当 I_{static} 增大到 $300 \mu\text{A}$ 时,接收器的输入电压摆幅能在 $1/640 \text{ MHz}$ 时间内变化 60 mV .此时信号传递时间 t_p 约为 1 ns ,满足时序要求.确定出工作频率在 320 MHz 下所需的最小 I_{static} 后,接着需要确定出最好的 k 和 t_d 值,以便在满足 t_p 的要求下,功耗最小.同样,将在一定范围内扫描 k 和 t_d ,作出 t_p 与 k 和 t_d 以及能量每位 (energy per bit) 与 k 和 t_d 的关系,如图 12、13 所示 (采用的描述功耗的指标是能量每位 (energy per bit),它等于功耗除以数据率 0.64 Gbps).由图 12、13 可知, $t_d = 0.06 \text{ ns}$, $k = 2$ 时, t_p 约为 0.86 ns ,能量每位约为 0.70 pJ .

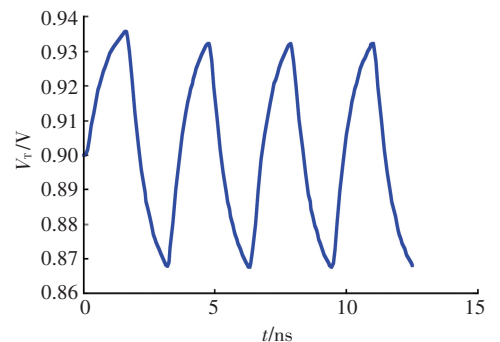


图 11 输入为 320 MHz 的弱驱动电流时,接收器的电压波形

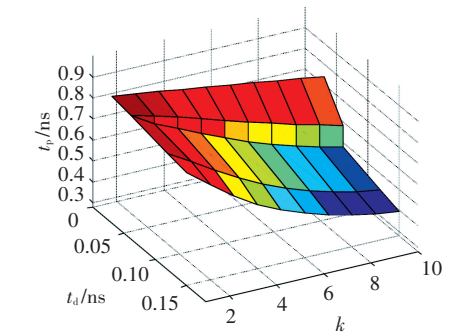


图 12 工作频率为 320 MHz 时, t_p 与 k 和 t_d 的关系

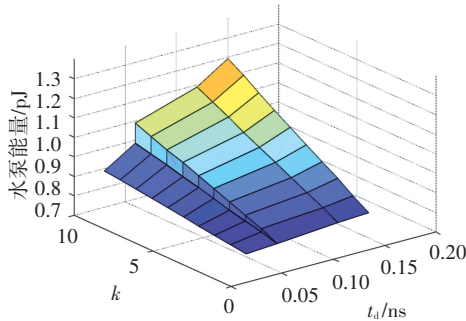
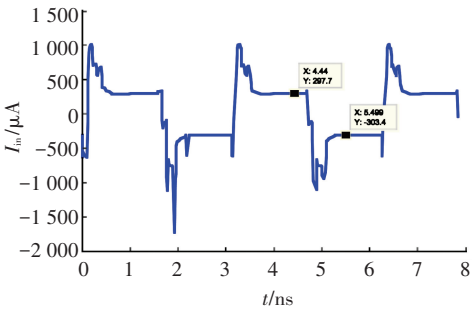


图 13 工作频率 320 MHz 时,消耗能量与 k 和 t_d 的关系
基于 $2I_D/g_m$ 的方法求的相应 MOS 管宽度 W 为

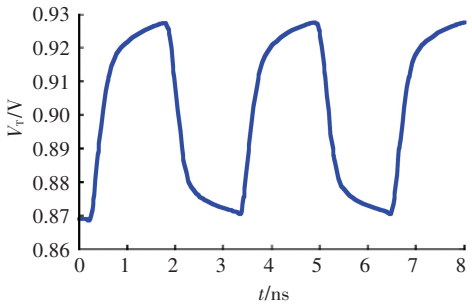
$$W_1 = \frac{kI_{static}}{I_p^*} = \frac{2 \times 300 \mu A}{7.95 \mu A/\mu m} = 75.5 \mu m,$$
$$W_4 = \frac{kI_{static}}{I_n^*} = \frac{2 \times 300 \mu A}{27 \mu A/\mu m} = 22.2 \mu m,$$
$$W_5 = \frac{I_{static}}{I_n^*} = \frac{300 \mu A}{27 \mu A/\mu m} = 11.1 \mu m.$$
$$W_8 = \frac{I_{static}}{I_p^*} = \frac{300 \mu A}{7.95 \mu A/\mu m} = 37.7 \mu m.$$

图 14(a)是使用 $2I_D/g_m$ 方法计算 MOS 管尺寸得到的仿真结果. 其中 I_{static} 的大小,非常接近设计指标,但是 I_{peak} 有一定偏离,这主要是由于强驱动电流开启时间短,强驱动电流达到设计值需要时间. 图 14(b)显示了接收器端的输入波形,由于强驱动电流的作用,与图 11 相比,波形上升速度更快. 图 14(c)显示了输入信号和输出信号对比. 经测试,该电路的信号传递时间约为 0.79 ns,能量每位约为 0.72 pJ.

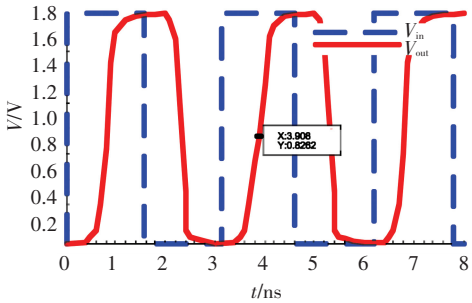
由仿真结果可知,先对电流模电路采用行为级建模,确定出最优的 t_d , I_{peak} , I_{static} 的值,再用 $2I_D/g_m$ 的方法确定出具体 MOS 管的尺寸,与设计指标十分相近. 因此,这种自顶向下设计方法,能够非常迅速地 完成电流模电路设计,并且可用于其他模拟集成电路的快速设计中.



(a) 发射器的输出电流 I_{in}



(b) 接收器的输入电压 V_T



(c) 输入电压与输出电压

图 14 初次仿真结果

3 结 论

1) 针对动态驱动电流模电路提出了一种新的自顶向下的功耗优化设计方法. 通过 MATLAB 对仿真数据进行处理,找到所需的最优电流大小. 基于 $2I_D/g_m$ 确定动态驱动的电流模电路中所有 MOS 管的尺寸.

2) 通过对动态驱动电流模电路的本征功耗优化和固定工作频率下的功耗优化设计和仿真分析,结果表明,该方法确定的 MOS 管仿真初值非常接近设计指标,大大提高了设计效率. 这种自顶向下的设计方法也能有效地用于其他模拟集成电路的快速设计中.

参考文献

[1] SEO S J, HO R, LEXAU J, et al. High-bandwidth and low-

energy on-chip signaling with adaptive pre-emphasis in 90nm CMOS [C]// IEEE ISSCC Dig Tech Papers. San Francisco: IEEE, 2010.

[2] MENSINK E, SHINKEL D, KLUMPERINK E A M, et al. Power efficient gigabit communication capacitively driven RC-limited on-chip interconnects [J]. IEEE J Solid-State Circuits, 2010, 45(2): 447-457.

[3] DAVE M, SHOJAEI M, SHARMA D. Energy-efficient current-mode signaling scheme for on-chip interconnects [C]// Asian Solid-State Conf. Beijing: IEEE, 2010.

[4] DAVE M, JAIN M, BAGHINI M S, et al. A variation tolerant current-mode signaling scheme for on-chip interconnects [J]. IEEE Trans Very Large Scale Inter (VLSI) Syst, 2013, 21(2): 342-353.

[5] KATOCH A, VEENDRICK H, SEEVINCK E. High speed current-mode signaling circuits for on-chip wires [C]// IEEE Int Symp Circuits Syst. Kobe: IEEE, 2005.

[6] SHINKEL D, MENSINK E, KLUMPERINK E A M, et al. A 3-Gb/s/ch transceiver for 10-mm uninterrupted RC-limited global on-chip interconnects [J]. IEEE J Solid-State Circuits, 2006, 41(1): 297-306.

[7] ZHANG L, WILSON J, BASHIRULLAH R, et al. A 32 Gb/s on-chip bus with driver pre-emphasis technique for on-chip buses [C]//Proceeding of Custom Integr Circuits Conf (CICC). San Jose: IEEE, 2006.

[8] TABRIZI M M, MASOUMI N, DEILAMI M M. High speed current-mode signalling for interconnects considering transmission line and crosstalk effects [C]//Proceeding of MWCAS. Montreal: IEEE, 2007.

[9] HO R, ONO T, HOPKINS R D, et al. High speed and low energy capacitively driven on-chip wires [J]. IEEE J Solid-State Circuits, 2008, 43(1): 52-60.

[10] SILVEIRA F, FLANDRE D, JESPER P G A. A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on insulator micro-power OTA [J]. IEEE J Solid-State Circuits, 1996, 31(9): 1314-1319.

[11] FOTY D, BUCHER M, BINKLEY D. Re-interpreting the MOS transistor via the inversion coefficient and the continuum of g_{ms}/I_d [C]// Proceeding of Int Conf on Electronics, Circuits and Systems. Dubrovnik: IEEE, 2002.

[12] BOSER B E. Analog circuit design with submicron transistors [EB/OL]. (2014-12-20) [2015-03-03]. <http://www.ewh.ieee.org/r6/scv/ssc/May1905.htm>.

[13] JESPER P. The g_m/I_D methodology a sizing tool for low-voltage analog CMOS circuits [M]. New York: Springer, 2010: 74-100.

[14] KONISHI T, INAZU K, LEE J G, et al. Optimization of high-speed and low-power operational transconductance amplifier using g_m/I_D lookup table methodology [J]. IEICE Trans Electronics, 2011, E94.C(3): 334-335.

[15] WANG X, HU Y, HAN L, et al. A low power and variation insensitive current mode signaling scheme [J]. Journal of Circuits Systems and Computers, 2013, 22(8): 124.

(编辑 魏希柱)

封面图片说明

封面图片来自本期论文“混合动力汽车用复合结构电机及其关键技术发展”。图片是磁场调制型无刷双转子电机的 2D 和 3D 结构示意图, 图中从内到外依次是永磁转子、调制环转子和定子。该电机和传统永磁电机相结合可形成一种新型的无刷复合结构电机方案, 不仅解决了有刷复合结构电机中内转子绕组发热严重、电刷滑环机构可靠性差、旋转绕组动平衡难以保证等瓶颈问题, 而且具有功率密度高和转矩波动小的优势。此外, 通过研究表明: 磁场调制型无刷双转子电机在功能上可以等效成一个行星齿轮和一个电机。因此, 通过磁场调制型无刷双转子电机和传统电机的合理配合完全可取代日本丰田的 Prius 混合动力系统, 成为纯电气的“Prius”而比它少了一个行星齿轮。复合结构电机的无刷化是该研究方向的必然发展趋势, 而由磁场调制型无刷双转子电机构成的无刷复合结构电机是目前无刷复合结构电机中最具发展潜力和应用前景的方案。

(图文提供: 郑萍, 白金刚, 宋志翌, 刘勇. 哈尔滨工业大学电气工程及自动化学院)