

DOI:10.11918/j.issn.0367-6234.201612042

基于改进二分查找的 VRC 快速故障定位技术

蔡金燕¹, 张峻宾^{1,2}, 孟亚峰¹

(1. 军械工程学院 电子与光学工程系, 石家庄 050003;

2. 中国空气动力研究与发展中心 超高速空气动力研究所, 四川 绵阳 621000)

摘 要: 针对虚拟可重构电路(virtual reconfigurable circuits, VRC)故障定位难、传统故障定位方法测试次数大等问题,提出一种基于改进二分查找的 VRC 快速故障定位技术. 当 VRC 规模不大于两行(或两列)时,直接逐行(逐列)定位故障. 当 VRC 规模大于两行和两列时,首先执行一次行测试和一次列测试,以确定可编程单元(programmable elements, PE)的故障可疑区域;然后比较故障可疑区域的行/列数量,以数量较少的作为故障测试方向;最后在测试方向上二分故障可疑区域,根据行/列测试原理配置电路并执行“与”操作,根据输出结果定位故障. 当故障可疑区域无法二分时,可定位所有故障 PE. 故障定位性能分析表明:和常规的 VRC 故障定位技术相比,本文提出的 VRC 快速故障定位技术能够快速检测并隔离连续分布的无故障 PE,快速缩小测试区域,大幅度降低故障定位测试次数,且出现最大测试次数的概率远小于前者,单故障和双故障定位的平均测试次数缩减量超过 50%. 基于改进二分查找的 VRC 快速故障定位技术的可行性和有效性得到验证,具有一定的通用性和工程应用价值.

关键词: 硬件演化;故障定位;虚拟可重构电路;可编程单元;二分查找

中图分类号: TP302.8

文献标志码: A

文章编号: 0367-6234(2017)11-0151-07

Rapid fault localization technology of VRC based on improved binary search

CAI Jinyan¹, ZHANG Junbin^{1,2}, MENG Yafeng¹

(1. Department of Electronic and Optical Engineering, Ordnance Engineering College, Shijiazhuang 050003, China;

2. China Aerodynamics Research & Development Center, Hypervelocity Aerodynamics Institute, Mianyang 621000, China)

Abstract: According to difficult fault localization of virtual reconfigurable circuits (VRC) and large test times of traditional fault localization technology, a novel rapid fault localization technology of VRC based on improved binary search is proposed. When the scales of VRC are no more than two rows (or two columns), fault PE can be located line by line (or column by column). When the scales of VRC are larger than two rows and two columns, the fault dubitable area of programmable elements (PE) can be confirmed by one row-test and one column-test, and then the test direction can be confirmed through the number of rows and columns of fault dubitable area. Eventually, fault dubitable area can be divided equally in the test direction, and two parts can be configured based on the theory of row-test and column-test. Faults can be located by “AND” operation of two parts. All faults PE can be located until fault dubitable area can not divided two parts. Compared with traditional VRC fault localization technology, the test performance analysis of fault localization proves that continuous distribution trouble-free PE can be detected and isolated by proposed VRC fault localization technology, and test area can be narrowed quickly. The test number of faults localization can be reduced, and the maximum test numbers are smaller than former. The average decrement of single and dual fault localization test number is more than 50%. The feasibility and validity of proposed improved rapid fault localization technology are proved, and it has definite generality and engineering application value.

Keywords: evolvable hardware (EHW); fault localization; virtual reconfigurable circuits (VRC); programmable elements(PE); binary search

硬件演化(evolvable hardware, EHW)技术在上世纪 90 年代已被提出,其具有的自组织、自适应和自修复能力在电路故障修复领域发挥了重要作用^[1-4]. 目前常将现场可编程门阵列(field

programming gate array, FPGA)作为实现 EHW 的硬件基础,但由于 FPGA 生产商均为外企,对外实行技术封锁,除 Xilinx 的 Virtex2 系列芯片外,学者不能够自由的访问/控制 FPGA 内部逻辑单元和开关盒^[5-8],对 EHW 技术的发展造成一定影响. 因此虚拟可重构电路(virtual reconfigurable circuits, VRC)应运而生^[9-11],其能够克服以上问题.

VRC 与故障自修复领域中的胚胎电子细胞都

收稿日期: 2016-12-9.

基金项目: 国家自然科学基金(61372039, 61601495)

作者简介: 蔡金燕(1961—),女,教授,博士生导师

通信作者: 蔡金燕,cyjrad@163.com

是可编程阵列^[12-14],因而具有相似性;由于可编程单元(programmable elements, PE)内部结构和 PE 间互联不同,又具有差异性. 虽然现有伪穷举测试法、布尔差分法、D 算法等故障定位方法^[15-17],但都针对具体电路,需输入测试序列. 而 VRC 结构具有特殊性,使得数字电路常用测试方法不适用. 常规的 VRC 故障定位方法主要进行逐行(列)测试,且需对 PE 的所有逻辑功能进行测试,因此 VRC 的行(列)数决定了测试的次数,容易造成测试次数大等问题. 一些文献提出将可能存在故障的行(列)所有 PE 单独连接至无故障的行(列)进行测试,在故障可能存在的行(列)较少时,且无故障行(列)较多和每行(列)的 PE 数量较少时才使用,否则将无足够无故障行(列)供使用^[18]. 另有很多文献只研究 VRC 的使用,而回避 VRC 故障定位^[9-10, 19].

本文提出一种基于改进二分查找的 VRC 快速故障定位技术. 首先采用一次行测试和一次列测试确定

故障可疑区域,然后根据故障可疑区域的规模确定测试方向,最后采用二分查找技术对故障可疑区域进行故障定位. 通过对本文提出的故障定位方法进行性能分析,所提方法的可行性和有效性得到验证.

1 VRC 平台基本原理

EHW 技术主要有内部演化(intrinsic EHW)和外部演化(extrinsic EHW)两种方式. 而基于 VRC 的电路演化平台,也包含内部演化和外部演化两种演化方式^[1, 2, 4, 20].

VRC 是一种基于 FPGA 中可编程逻辑单元重新封装后的可重构平台^[9-11, 19],是由多个 PE 构成阵列,也称 PE 为 function elements(FE)^[9]. 每个 PE 可实现任意二输入逻辑功能,其中包括与、或、非、异或、与或、同或、与非、或非、D 触发器共 8 种逻辑. 有些文献设计的 PE 只包含 8 种逻辑中的部分逻辑. VRC 构成示意图 1.

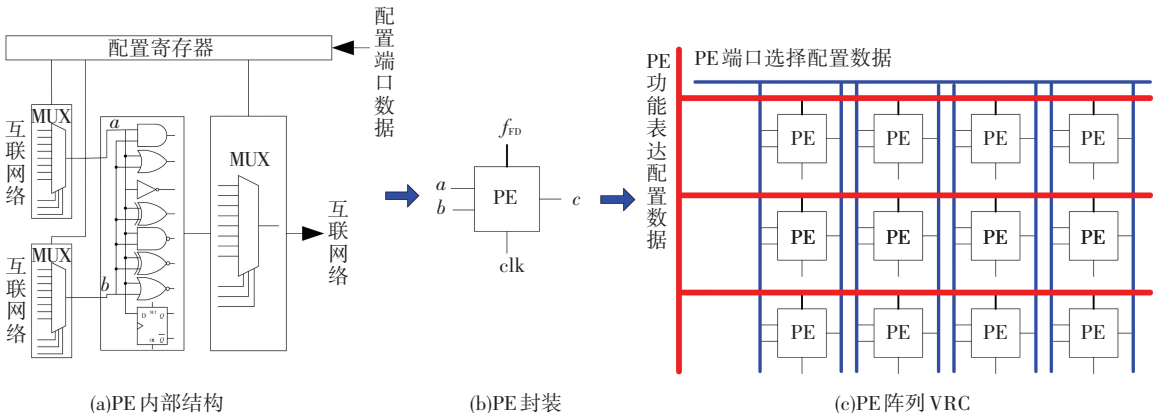


图 1 VRC 构成示意

Fig.1 Sketch diagram of VRC configuration

图 1 中的 a 和 b 为输入信号, c 为输出信号, f_{FD} 为 PE 功能表达配置数据, clk 为时钟. VRC 平台中的 PE 还可具有图 2 所示结构^[19],同图 1(a)中的 PE 结构具备相同功能. PE 互联网络示意图 3.

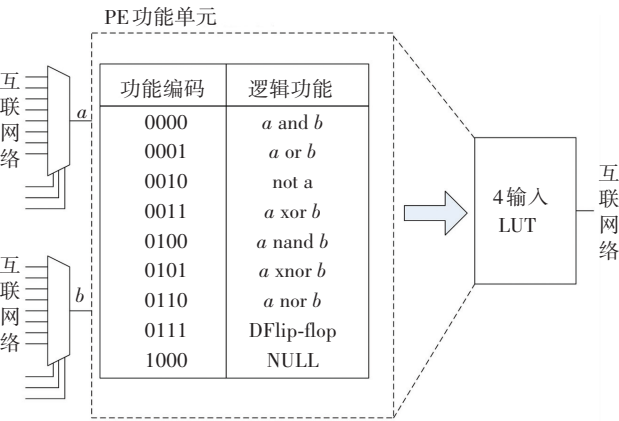


图 2 另一种 PE 内部结构示意图

Fig.2 Sketch diagram of other kind of PE structure

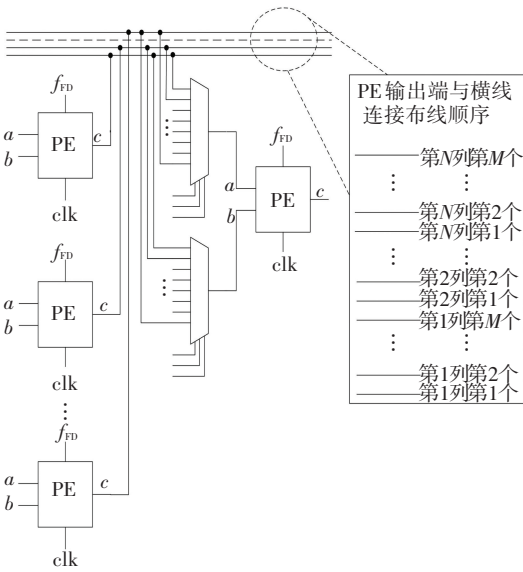


图 3 VRC 互联网络示意

Fig.3 Interconnection network sketch diagram of VRC

从图 3 可看出,针对规模为 M 行 N 列的 VRC,

每个 PE 的输出端均互联至整个 VRC,每个 PE 的每个输入端均有一个 $M \times N$ 到一的多路选择器 (multiplexer, MUX),将所有 PE 输出端连接至具有 $M \times N$ 个输入一个输出的 MUX,使得 VRC 中每个 PE 输出端能够接入任意 PE 的输入端.

对 MUX 的 $M \times N$ 个输入端进行二进制计算,对应的位数为所有 MUX 控制信号的编码长度. 假如 $M \times N = 60$,其二进制编码为 111 100,控制 MUX 的信号编码长度为 6 位.

2 基于改进二分查找的 VRC 快速故障定位技术

本文提出的基于改进二分查找的 VRC 快速故障定位技术的主要原理如下:首先实施一次行测试和一次列测试确定故障可疑区域,再采用二分查找技术对故障可疑区域进行故障定位.

对 VRC 实施行/列测试的 PE 连接/配置方法分别见图 4 和图 5.

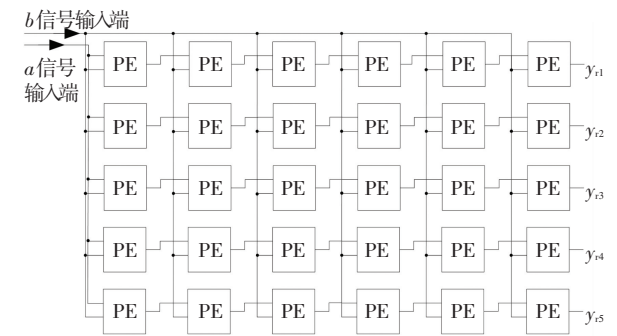


图 4 VRC 行测试配置方法

Fig.4 Row-test configuration method of VRC

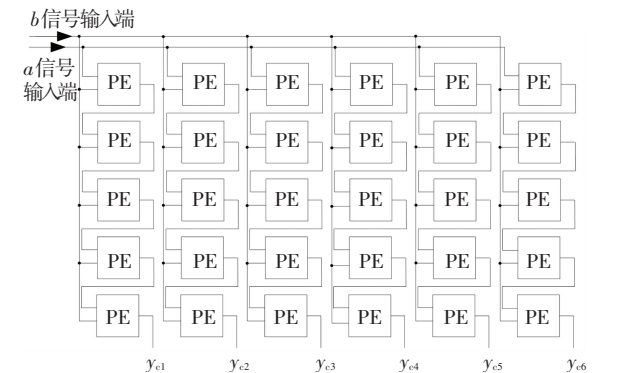


图 5 VRC 列测试配置方法

Fig.5 Column-test configuration method of VRC

图 4 和图 5 中的 $y_{r1} \sim y_{r5}$ 和 $y_{c1} \sim y_{c6}$ 分别对应行测试和列测试的每路输出信号. 行/列测试时通过改变输入端 a 和 b 的值,保证每个 PE 能将逻辑 1 顺利输出到端口. 比如在测试 PE 的逻辑“与”功能时,输入信号 a 和 b 需同时输入 1,或同时输入 0. 如

果输入 1 时输出为 1,且输入 0 时输出为 0,代表无故障,反之则有故障. 将经过行测试和列测试后的交叉区域记为故障 PE 可疑区域见图 6.

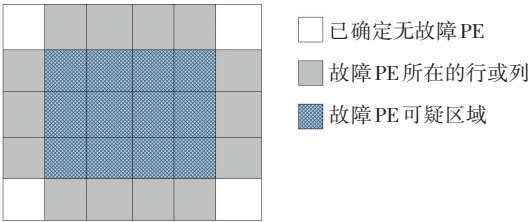


图 6 VRC 故障 PE 可疑区域

Fig.6 Fault PE shadiness area of VRC

经过行测试后,确定第 2~4 行存在故障;经过列测试后,确定第 2~5 列存在故障. 此时的故障可疑区域不只一行和一列.

在基于行测试、列测试和故障可疑区域基础上,基于改进二分查找的 VRC 快速故障定位技术实现流程如下:

Step 1 首先进行行测试和列测试,确定故障可疑区域.

Step 2 判断 VRC 故障可疑区域的大小,假设可疑区域规模为 m 行 n 列,且 $m \leq n$. 判断 VRC 不在可疑区域内的 PE (即无故障 PE) 数量 k , 如果 $k \geq n$, 转入 Step3;反之,则转入 Step6.

Step 3 采用二分查找法,将可疑区域每一列平分 (偶数直接平分,奇数平时一边可多一个 PE),分别按图 5 方式纵向连接,并将两路信号送入此列无故障 PE 进行“与”操作. 如果此列没有无故障 PE,则选择其它列多余的无故障 PE 进行“与”操作. 如果输出值为 1,判定上/下两部分均存在故障,并转入 Step4;如果输出值为 0,判断上/下部分中有一部分存在故障,并转入 Step5.

Step 4 当平分后的上/下两部分均存在故障时,对上部分进行再次平分,按照 Step3 的步骤进行故障定位. 在上部分故障定位完毕后,再对下部分故障定位. 依此进行,直到可疑区域的故障完全定位为止.

Step 5 当平分后的上/下两部分只有一部分存在故障时,首先测试上/下部分的任意部分. 如果测试出上部分 (下部分) 无故障,则下部分 (上部分) 必存在故障,此时测试次数将大大缩减.

Step 6 在 Step2 中确定可疑区域后,当 $k < n$ 时,需逐行精确测试;当测试后 $k \geq n$ 时,按照 Step3、Step4 和 Step5 的流程进行故障定位.

在上述测试流程中,如果 VRC 中故障 PE 只存在某一行或某一列,只需一次行测试和一次列测试即可定位故障. 详细的二分法查找过程见图 7.

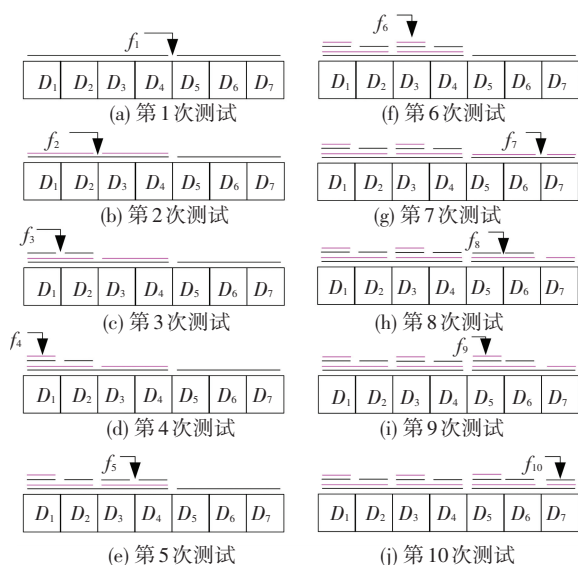


图 7 极端情形下二分查找故障定位过程

Fig.7 Binary search process of fault localization under extreme circumstances

图 7 所示测试步骤包含极端情形下的测试次数,将可疑区域中的某一行分离出来单独演示,包含 7 个 PE,分别用字母 $D_1 \sim D_7$ 表示,测试点用 $f_1 \sim f_{10}$ 表示.在非极端情形下,图 7 中一些测试步骤可省略.此时的极端情形主要指:在二分过程中且还未最小二分,两侧测试始终显示有故障;在最小二分,两侧测试显示无故障.

图 7 中 f_1, f_2 属于中间过程的二分,而 f_3, f_5, f_7 和 f_8 属于最小二分,且以上均属于节点测试, f_4, f_6, f_9 和 f_{10} 属于逻辑块功能测试.图 7 中只要 D_7 无故障,且 D_1 和 D_2, D_3 和 D_4, D_5 和 D_6 每对中只要有一个故障,将造成最大测试次数.即至少存在 4 个故障 PE,相当于至少 4/7 的 PE 出现故障,而 4/7 的 PE 出现故障的概率极小.

3 故障定位性能分析

故障定位性能分析,主要关注故障全部定位情况下的测试次数,通常情况下,测试次数越少越好.常规测试方法需进行逐行(或逐列)测试.在对比分析中,设定测试顺序从上至下(从左至右).针对 VRC 规模为 M 行 N 列,且 $M \leq N$,常规的故障定位方法最大测试次数为 M 次.本文提出的基于改进二分查找的 VRC 快速定位技术,在极端情形下的最大测试次数为 $G(x)$,其中 x 代表图 6 中故障可疑区域的行数和列数的最小值,不是 VRC 中故障 PE 的数量(用 h 表示, $h \in N^+$).

在故障定位过程中,确定故障可疑区域需要测试两次.当 PE 数量取 2 的对数为整数时(即 PE 数量等于 $2^x, x \in N^+$),极端情形下需测试分界点, x

个 PE 有 $x-1$ 个分界点,需测试 $x-1$ 次.当两个 PE 为一组时, x 个 PE 最后细分为 $0.5x$ 等分.对每个等分进行故障确认需测试 1 次,测试次数合计为 $1.5x+1$.在 x 个 PE 基础上,每增加 1 个 PE,测试次数将增加两次(1 次分界点测试,1 次确认测试);在 x 个 PE 基础上增加的 PE 数量多余 $0.5x$ 时,每增加 1 个 PE 将增加 1 次测试(分界点测试).因此, $G(x)$ 为

$$G(x) = \begin{cases} 1.5 \times 2^{\lfloor \log_2 x \rfloor} + 1 + 2 \times (x - 2^{\lfloor \log_2 x \rfloor}) \\ 1.5 \times 2^{\lfloor \log_2 x \rfloor} + 1 + 2^{\lfloor \log_2 x \rfloor} + [(x - 2^{\lfloor \log_2 x \rfloor}) - 2^{\lfloor \log_2 x \rfloor - 1}] = \\ -2^{\lfloor \log_2 x \rfloor - 1} + 2x + 1, x - 2^{\lfloor \log_2 x \rfloor} \leq 2^{\lfloor \log_2 x \rfloor - 1}, x \in N^+; \\ 2^{\lfloor \log_2 x \rfloor} + x + 1, x - 2^{\lfloor \log_2 x \rfloor} > 2^{\lfloor \log_2 x \rfloor - 1}, x \in N^+. \end{cases} \quad (1)$$

相比传统的故障定位方法,虽然本文提出的故障定位技术在极端情形下的测试次数最大增加约一半,但只存在于极端情况下,即整个 VRC 阵列均存在故障.在当 VRC 出现故障 PE 数量占 VRC 总 PE 数量 $\leq 50\%$ 时,本文提出的 VRC 快速故障定位技术将具有明显的优势.

由于 VRC 阵列 PE 的结构一样,因此出现故障概率也一样.假设一个 PE 出现故障的概率为 p ,则 k 个 PE 出现故障的概率服从二项分布,且为

$$P(X = k) = b(k; M \times N, p) = C_{M \times N}^k p^k (1-p)^{M \times N - k}. \quad (2)$$

式中: X 为 PE 总数, λ 为失效率, t 为工作时间, $p = 1 - e^{-\lambda t}$.当 $\lambda = 1 \times 10^{-5}$, $t = 24 \times 365$, λ 分别为 3 个不同失效率值、故障 PE 概率累积量大于 99% 时, h 与 X 的比值为 p_{hX} 见图 8.

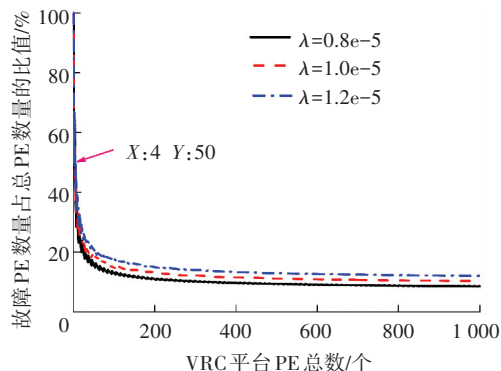


图 8 概率累积量大于 99% 时故障 PE 数量占总数量百分比
Fig.8 Ratio of the number of fault PE of total number when probability cumulant is larger than 99%

图 8 中,随着 VRC 规模的增大,无论 λ 是 0.8×10^{-5} , 1.0×10^{-5} 还是 1.2×10^{-5} , p_{hX} 始终呈下降趋势,且慢慢趋于稳定.当 $X \leq 4$ 时,故障 PE 数量占总 PE 数量的百分比才会超过 50%.

当 $X < 4$ 时,PE 只能排成一行或一列,采用本

文提出的故障定位技术, 只需两次测试. 当 $X = 4$ 时, 如果 4 个 PE 排成一行或一列, 只需两次测试. 但如果 4 个 PE 呈两行两列的阵列排列时, 取消可疑区域测试, 只进行二分查找测试, 需测试两次. 当 $X > 4$ 时, X 越大, 不到 50% 的 PE 存在故障的概率为 0.99, 当 VRC 规模大于 200 个时, 少于 20% 的 PE 存在故障的概率为 0.99. 此时, 本文提出的故障快速定位技术将具有明显优势.

对于规模为 10×10 的 VRC, 只有当 $h > 14$ 时, 且在特定故障布局下, 才可能造成最大测试次数, 见图 9.

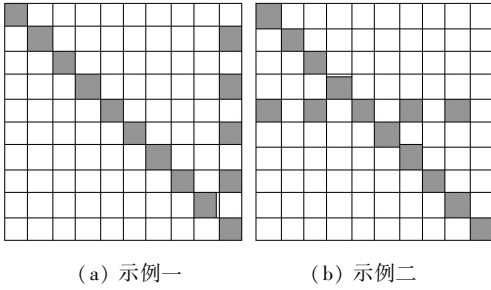


图 9 可能造成最大测试次数的故障 PE 分布

Fig.9 Fault PE distribution map under max test times

图 9 中只给出了两种故障 PE 分布示意图. 其中, 深色方块代表故障 PE, 白色方块代表无故障 PE. 造成最大测试次数的必要条件如下: 一是有一列或一行中每隔一个 PE 必须存在故障, 而间隔中的 PE 可有故障也可无故障. 二是除开当前列(行), 剩余的故障 PE 不能出现在同一行或同一列. 图 10 展示了不同 h 值造成相同故障可疑区域的示例.

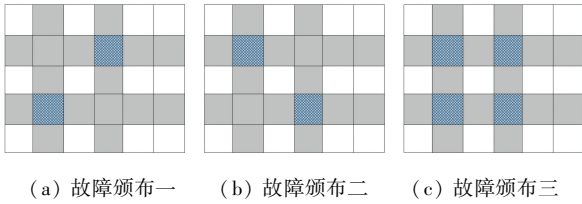


图 10 不同 h 值造成相同故障可疑区域示例

Fig.10 Instances of the same fault PE shadiness area under different value of h

造成最大测试次数单独列出现的最少故障数量为 $H(x)$

$$H(x) = \begin{cases} 2^{\lfloor \log_2 x \rfloor - 1}, & x - 2^{\lfloor \log_2 x \rfloor} \leq 2^{\lfloor \log_2 x \rfloor - 1}, x \in N^+; \\ x - 2^{\lfloor \log_2 x \rfloor}, & x - 2^{\lfloor \log_2 x \rfloor} > 2^{\lfloor \log_2 x \rfloor - 1}, x \in N^+. \end{cases} \quad (3)$$

造成最大测试次数的可疑区域最小 h 值用为 $H_1(x)$

$$H_1(x) = H(x) + x - 1 \quad x \in N^+. \quad (4)$$

深入研究规模为 10×10 的 VRC, 采用常规方法进行故障定位, 当从上至下定位时, 只要最后一行出

现故障, 将造成最大测试次数. 对应不同 h 值造成最大测试次数的概率用 $P_1(x)$ 为

$$P_1(x) = \begin{cases} 1 - \frac{C_{90}^x}{C_{100}^x}, & x \leq 90, x \in N^+; \\ 1, & 91 \leq x \leq 100, x \in N^+. \end{cases} \quad (5)$$

在采用本文提出的方法时, 按照式(3)和式(4)的计算规则, 故障 PE 可疑区域为 10×10 的最小 $h = 13$. 其不同 h 值造成最大测试次数的概率为 $P_2(x)$

$$P_2(x) = \begin{cases} \frac{(10!)^2}{((10-x)!)^2 \times (x!) \times C_{100}^x}, & x \leq 10, x \in N^+; \\ \frac{(10!) \times 2^{x-6}}{C_{100}^x}, & x \in \{11, 13\}; \\ \frac{(10!) \times 128}{C_{100}^x}, & x = 12; \\ P_3(x), & x \geq 14, x \in N^+. \end{cases} \quad (6)$$

式(6)中的 $P_3(x)$ 可表示为

$$P_3(x) \leq \frac{(10!) \times 128 \times C_{81}^{x-13}}{C_{100}^x}, \quad x \geq 14, x \in N^+. \quad (7)$$

从式(6)、(7)可看出, 当 $x \in [1, 13], x \in N^+$ 时, 式(6)属于精确计算, 当 $x \geq 14, x \in N^+$ 时, 式(6)属于近似范围计算. 当计算的近似值比真值大时, 造成最大测试次数概率远远低于常规方法造成最大测试次数的概率.

令每个 PE 的失效率 $\lambda = 1.0 \times 10^{-5}$, $t = 24 \times 365$, VRC 不同数量 PE 出现故障的概率和对应的概率累积量见图 11.

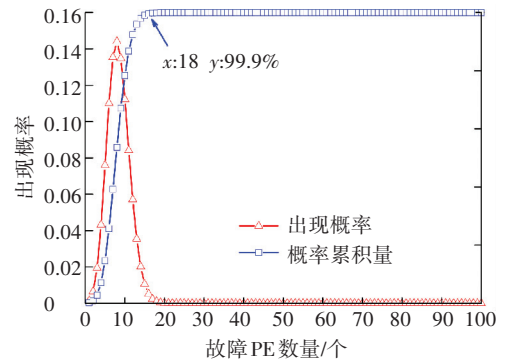


图 11 VRC 不同数量故障 PE 故障出现概率及概率累积量
Fig.11 Fault probability and fault probability cumulant of VRC in different number of PEs

从图 11 中可看出, 当 VRC 的故障 PE 概率累积量达到 99.9% 时, 对应 $\min(h) = 18$. 因此只计算最多 18 个 PE 出现故障, 故障定位相关参数见表 1, 表 1 中造成最大测试次数的故障分布和故障随机分布的比率用 S 表.

表 1 VRC 阵列(规模为 10×10)故障定位相关参数

Tab.1 Related parameters of VRC fault localization (scale is 10×10)

故障 PE 数量/个	最大测试次数/次		出现概率		和随机故障分布的比值(S)/%	
	常规方法	本文方法	常规方法	本文方法	常规方法	本文方法
1	10	2	1.44×10^{-4}	1.44×10^{-3}	10.00	100.00
2	10	4	1.24×10^{-3}	5.33×10^{-3}	10.00	81.80
3	10	6	5.32×10^{-3}	1.04×10^{-2}	10.00	53.40
4	10	6	1.51×10^{-2}	1.17×10^{-2}	10.00	27.00
5	10	8	3.16×10^{-2}	7.69×10^{-3}	10.00	10.10
6	10	9	5.26×10^{-2}	2.93×10^{-3}	10.00	2.66
7	10	11	7.22×10^{-2}	6.14×10^{-4}	10.00	4.53×10^{-1}
8	10	11	8.41×10^{-2}	6.32×10^{-5}	10.00	4.39×10^{-3}
9	10	12	8.48×10^{-2}	2.57×10^{-6}	10.00	1.91×10^{-3}
10	10	13	7.52×10^{-2}	2.36×10^{-8}	10.00	2.10×10^{-5}
11	10	15	5.94×10^{-2}	3.45×10^{-8}	10.00	4.10×10^{-5}
12	10	16	4.22×10^{-2}	1.26×10^{-8}	10.00	3.27×10^{-6}
13	10	17	2.72×10^{-2}	1.16×10^{-9}	10.00	3.27×10^{-6}
14	10	17	1.60×10^{-2}	$<8.58\times10^{-9}$	10.00	$<4.26\times10^{-5}$
15	10	17	8.66×10^{-3}	$<3.14\times10^{-8}$	10.00	$<2.97\times10^{-4}$
16	10	17	4.32×10^{-3}	$<7.57\times10^{-8}$	10.00	$<1.47\times10^{-3}$
17	10	17	2.00×10^{-3}	$<1.35\times10^{-7}$	10.00	$<5.81\times10^{-3}$
18	10	17	9.61×10^{-4}	$<1.91\times10^{-7}$	10.00	$<1.94\times10^{-2}$

从表 1 可看出,常规故障定位方法最大测试次数始终为 10 次. 本文提出的故障定位方法最大测试次数,在 $h < 7$ 时明显低于前者. 当 $h \geq 7$ 时大于前者,最大增加量约为一半. 但本文提出的方法造成最大测试次数的故障 PE 需特殊布局,且相同数量故障 PE 特殊布局所出现的概率. 在 $h = 7$ 时,常规方法是本文提出方法的 118 倍; $h = 10$ 时是 3.19×10^6 倍; $h = 13$ 是 2.34×10^7 倍;即使在近似计算 $h = 18$ 时,前者也为后者的 5.03×10^3 倍.

当 h 值确定时,常规故障定位方法始终有 $S = 0.1$. 采用本文提出的方法,当 $h \leq 6$ 时,虽然 $S > 0.1$,但是此时的最大测试次数小于常规方法的测试次数. 当 $h > 6$ 时,虽然最大测试次数大于常规测试方法,但此时 S 远小于 0.1,之间差距从 40 倍到 3.06×10^6 倍不等.

排除极端情形下造成最大测试次数,当实例中 $h \leq 6$ 时,只要 VRC 最后一行存在故障 PE,常规方法的测试次数大于本文提出的方法. 如果 7 个故障 PE 全在第一行,本文提出的故障定位方法将需两次测试,而常规方法只需一次测试,但是 7 个故障全在第一行的概率只有 7.50×10^{-8} . 当 $h > 6$ 时,需根据具体的故障 PE 分布分析故障测试次数. 常规方法存在 10%造成最大次数的概率,虽然本文提出的方

法存在最大测试次数大于常规方法的可能性,但其概率低于 1.94×10^{-4} ,甚至更小.

例如,当 VRC 阵列只有 1 个故障时,常规方法检测次数少于两次的概率为 20%,即 80%的检测次数都大于 2 次. 而采用本文提出的方法,测试次数只使用两次. 对于双故障,常规方法 93.03%的检测次数大于 4 次. 而采用本文提出方法的最大测试次数为 4 次(2 次测试占 3.64%,4 次测试占 96.36%).

当 $h = 7$ 时,如图 12 所示的故障分布. 由于每个故障分布在不同的行和列,常规测试方法需进行 10 次测试,才能将 7 个故障 PE 完全定位. 而采用本文方法只需进行 8 次测试,中间 3 行连续分布的无故障 PE 得到快速隔离.

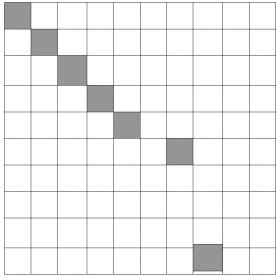


图 12 VRC 中 7 个故障 PE 分布

Fig.12 Seven fault PEs distribution diagram of VRC

综上所述,故障定位的测试次数和故障PE的

分布密切相关. 常规故障定位方法, 无论某行/列是否存在故障 PE, 均需要测试一次. 本文提出的故障定位方法能够将无故障的行/列排除, 只对故障可疑区域进行二分查找测试, 从而降低故障测试次数.

4 结 论

针对目前 VRC 阵列故障定位方法单一、故障定位难及定位测试次数大等问题, 本文提出一种基于改进二分查找的 VRC 快速故障定位技术.

和常规故障定位技术相比, 本文提出的故障快速定位技术能够避免对连续分布的无故障 PE 进行测试, 缩小测试区域, 且造成最大测试次数的概率远小于前者, 对单故障和双故障定位时的测试次数缩量超过 50%.

通过故障定位性能分析, 本文提出的基于改进二分查找的 VRC 快速故障定位技术的可行性和有效性得到验证, 具有一定通用性和工程应用价值.

参考文献

- [1] PAULINE C H, ANDY M T. Challenges of evolvable hardware: past, present and the path to a promising future[J]. Genetic Programming and Evolvable Machines, 2011, 12(3): 183-215.
- [2] HORNB Y G S, LOHN J D, LINDEN D S. Computer-automated evolution of an x-band antenna for NASA's space technology 5 mission[J]. Evolutionary Computation, 2011, 19(1): 1-23.
- [3] HIHUCHI T, IWATA M, KAJITANI I, et al. Evolvable hardware and its applications to pattern recognition and fault tolerant systems [J]. Lecture Notes in Computer Science, 1996, 1062:118-135.
- [4] ZHANG Junbin, CAI Jinyan, MENG Yafeng, et al. Fault self-repair strategy based on evolvable hardware and reparation balance technology[J]. Chinese Journal of Aeronautics, 2014, 27(5): 1211-1222.
- [5] YAN S L, CHEN Y, PU Q M. A new evolutionary hardware system using FPGAs[C]//Proceeding of International Colloquium on Computing, Communication, Control, and Management. Piscataway, NJ: IEEE Press, 2009: 82-85.
- [6] LOPEZ-BUEDO S, GARRIDO J, BOEMO E I. Dynamically inserting, operating, and eliminating thermal sensors of FPGA-based systems[J]. IEEE Transactions on Components and Packing Technologies, 2002, 25(4): 561-566.
- [7] DAS N, ROY P, RAHAMAN H. Runtime congestion and crosstalk aware router for FPGA using jbits3.0 for partial reconfigurable [C]//Proceeding of International Symposium on Electronic System Design. Piscataway, NJ: IEEE Press, 2011: 146-151.
- [8] 任小西, 李仁发, 金声震, 等. 基于 JBits 的一种可重构数据处理系统可靠性研究[J]. 计算机研究与发展, 2007, 44(4): 722-728.
REN Xiaoxi, LI Renfa, JIN Shengzhen, et al. Research on reliability of a reconfigurable data processing system based on jbits[J]. Journal of Computer Research and Development, 2007, 44(4): 722-728.
- [9] WANG Jin, LEE C H. Virtual reconfigurable architecture for evolving combinational logic circuits[J]. Journal of Central South Uni-

versity, 2014, 21(5): 1862-1870.

- [10] OMAR E, IMBABY I M, MOHAMED K R, et al. Hardware implementation of virtual reconfigurable circuit for fault tolerant evolvable hardware system on FPGA[J]. American Journal of Engineering and Technology Research, 2015, 15(1): 2015.
- [11] 朴昌浩, 王进, 孙志华, 等. 自适应变异比率控制在虚拟可重构结构中的应用[J]. 高技术通讯, 2010, 20(4): 398-402.
PIAO Changhao, WANG Jin, SUN Zhihua, et al. Applying self-adaptive mutation rate control to virtual reconfigurable architecture [J]. Chinese High Technology Letters, 2010, 20(4): 398-402.
- [12] 蔡金燕, 朱赛, 孟亚峰. 一种新型的仿生电子细胞基因存储结构[J]. 电子学报, 2016, 44(8): 1915-1924.
CAI Jinyan, ZHU Sai, MENG Yafeng. A novel gene memory structure for bio-inspired electronic cell [J]. Acta Electronica Sinica, 2016, 44(8): 1915-1924.
- [13] 王南天, 钱彦岭, 李岳, 等. 胚胎型在线自修复 FIR 滤波器研究[J]. 仪器仪表学报, 2012, 33(6): 1385-1391.
WANG Nantian, QIAN Yanling, LI Yue, et al. Study of embryonic type on-line self-healing FIR filters[J]. Chinese Journal of Scientific Instrument, 2012, 33(6): 1385-1391.
- [14] XU Guili, XIA Zhenghao, WANG Haibin, et al. Design of embryonic-electronic systems capable of self-diagnosing and self-healing and configuration control[J]. Chinese Journal of Aeronautics, 2009, 22(6): 637-643.
- [15] 朱敏, 王石记, 杨春玲. 改进 Tent 混沌序列的数字电路 BIST 技术[J]. 哈尔滨工业大学学报, 2010, 42(4): 607-611.
ZHU Min, WANG Shiji, YANG Chunling. BIST technique of digital circuits based on improved tent chaotic sequence [J]. Journal of Harbin Institute of Technology, 2010, 42(4): 607-611. DOI: 10.11918/j.issn. 0367-6234.2010.04.022.
- [16] 杨德才, 陈光祜, 谢永乐. 进位保留阵列乘法器的一种内建自测试[J]. 电子科技大学学报, 2007, 36(4): 751-754.
YANG Decai, CHEN Guangju, XIE Yongle. A built-in self-test scheme for carry save array multiplier[J]. Journal of University of Electronic Science and Technology of China, 2007, 36(4): 751-754.
- [17] 潘张鑫, 陈偕雄. 或-符合型通用逻辑门组合电路的故障检测[J]. 浙江大学学报(工学版), 2007, 41(8): 1260-1264.
PAN Zhangxin, CHEN Xiexiong. Faults detection in combinational circuits of OR-coincidence type universal logic gates[J]. Journal of Zhejiang University (Engineering Science), 2007, 41(8): 1260-1264.
- [18] 姜建安, 崔新风, 褚杰. 基于类神经网络模型的电路自主修复方法[J]. 军械工程学院学报, 2010, 22(6): 46-49.
LOU Jian'an, CUI Xinfeng, CHU Jie. Self-repairing method of the electronic circuit based on neural network model [J]. Journal of Ordnance Engineering College, 2010, 22(6): 46-49.
- [19] 张峻宾, 蔡金燕, 孟亚峰. 面向复杂电磁环境的容错电路系统设计技术[J]. 西安交通大学学报, 2017, 51(2): 53-59.
ZHANG Junbin, CAI Jinyan, MENG Yafeng. A design technology of fault tolerance circuit systems facing complex electromagnetic environments[J]. Journal of Xi'an Jiaotong University, 2017, 51(2): 53-59.
- [20] 李杰, 黄士坦. 可进化硬件的动态进化[J]. 武汉大学学报, 2008, 41(6): 103-107.
LI Jie, HUANG Shitan. Dynamic evolution for evolvable hardware[J]. Engineering Journal of Wuhan University, 2008, 41(6): 103-107.