

DOI:10.11918/201909034

一种集成占空比校准的低杂散参考时钟倍频器

陈嘉豪,李浩明,王腾佳,王志宇,刘家瑞,郁发新

(浙江大学 航天电子工程研究所,杭州 310027)

摘要:为降低小数分频模拟锁相环的相位噪声,并改善采用传统异或门倍频器对参考时钟进行倍频时引起的锁相环输出杂散,提出了一种集成占空比校准的低杂散参考时钟倍频器.该倍频器对输入时钟进行倍频后输出参考时钟到锁相环,通过降低锁相环的分频比有效降低了锁相环输出信号的相位噪声.针对由倍频器输入时钟占空比误差引起的参考时钟频率抖动及锁相环输出杂散恶化,该倍频器通过数控边沿调整技术在较大误差范围内进行占空比粗调,然后通过模拟占空比校准环路进行高精度占空比校准,两种校准方式根据所提出的占空比校准控制算法协同工作,在扩大校准范围的同时提高了校准精度.仿真结果证明可以将100 MHz输入参考时钟占空比误差从13.8%降低至0.007%,且倍频输出频率误差低至 380×10^{-6} .基于40 nm CMOS工艺对该倍频器进行流片验证,测试结果表明:该倍频器能够使锁相环输出信号的带内噪声降低约6.67 dB,量化噪声降低约5.61 dB,且占空比校准后,能够将锁相环输出信号频谱中距离载波1/2参考时钟频率偏移处的杂散降低约9.52 dB;通过倍频器对锁相环的参考时钟进行倍频能够有效降低锁相环的带内噪声和量化噪声,对倍频器输入时钟的占空比进行校准能够有效降低锁相环输出频谱中的杂散.

关键词:占空比校准环路;倍频器;参考时钟;锁相环;杂散

中图分类号: TN432 **文献标志码:** A **文章编号:** 0367-6234(2021)06-0086-08

A low-spur reference frequency doubler with hybrid duty cycle calibration

CHEN Jiahao, LI Haoming, WANG Tengjia, WANG Zhiyu, LIU Jiarui, YU Faxin

(Institute of Astronautic Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

Abstract: To reduce the phase noise of fractional- N phase locked loops (PLLs) and suppress the output spurs of PLLs caused by doubling the frequency of reference clock with traditional exclusive-OR gates (XOR), a low-spur reference frequency doubler (RFD) with a hybrid duty cycle calibration loop (DCCL) was proposed. The RFD doubles the frequency of input clock and outputs the reference clock to the PLL, effectively suppressing the phase noise of the PLL by reducing the divide ratio. To reduce the frequency jitter of the reference clock and the output spurs of the PLL caused by the duty cycle deviation of the input clock, the RFD first roughly calibrates the duty cycle with a digital-controlled edge adjustor and then improves the precision with an analog DCCL. The two methods work collaboratively based on the proposed controlling algorithm, achieving a wider calibration range and a higher precision simultaneously. Simulation results show that the proposed RFD could reduce the duty cycle error of a 100 MHz input clock from 13.8% to 0.007%, and decrease the output frequency error to 380×10^{-6} . The circuit was fabricated in a 40 nm CMOS process. Test results show that it could suppress the in-band phase noise by 6.67 dB and quantization noise by 5.61 dB, and after the duty cycle calibration, the spurs at 1/2 reference frequency offset in the output signal spectrum of the PLL were reduced by 9.52 dB. The in-band noise and quantization noise of PLLs could be reduced by doubling the frequency of the reference clock of PLLs. The spurs in the output signal spectrum of PLLs could be suppressed efficiently by calibrating the input duty cycle of the RFD.

Keywords: duty cycle calibration loop (DCCL); frequency doubler; reference clock; phase locked loops; spur

锁相环(Phase locked loop, PLL)是目前射频接收机中频率综合器的主要结构形式,其基于参考时钟产生高精度、低相位噪声的输出时钟信号.参考时钟的频率及PLL的分频比决定了输出时钟信号的

频率.通过提高参考时钟频率,降低PLL的分频比可以降低PLL输出信号的带内噪声和小数分频量化噪声.

在PLL系统输入时钟频率难以提高的应用场景中,文献[1-4]加入参考时钟倍频器(Reference frequency doubler, RFD)对PLL输入参考时钟进行频率倍增,有效降低了PLL的带内噪声和量化噪声.然而,这些倍频器主要采用异或门(XOR)结构,若输入信号的占空比偏离50%,输出二倍频信号的

收稿日期:2019-09-03

基金项目:国家自然科学基金(61604128)

作者简介:陈嘉豪(1995—),男,硕士研究生;

王志宇(1984—),男,副教授,博士生导师;

郁发新(1975—),男,教授,博士生导师

通信作者:郁发新,fxyu@zju.edu.cn

频率稳定性会降低, 以该二倍频信号为参考时钟会恶化 PLL 的相位噪声, 增大输出信号的杂散. 因此需要在 RFD 中对输入时钟占空比进行校准. 传统的占空比校准方式分为数字校准和模拟校准两种. 文献[5]的比较显示: 数字校准精度受延时长度限制, 且对工艺角、电压和温度 (Process corner, voltage and temperature, PVT) 变化敏感, 对杂散的抑制有限. 模拟占空比校准方式虽然可以实现更高的校准精度, 但其占空比校准范围通常较小.

本文提出了一种集成数模混合占空比校准的参考时钟倍频器对 PLL 的噪声和杂散性能进行改善. 在占空比校准电路中通过对数字边沿调整技术扩大了占空比校准范围, 采用模拟占空比校准环路提高占空比校准精度, 并通过控制算法协调两种占空比校准电路的工作流程. 最后通过仿真对占空比校准的范围与精度进行验证, 并通过测试对倍频器带来的 PLL 相位噪声改善和由占空比校准带来的杂散性能优化进行验证.

1 具有 RFD 的 PLL 系统特性分析

1.1 具有 RFD 的 PLL 系统

具有 RFD 的 PLL 系统如图 1 所示, 图中 PLL 结构包括鉴频鉴相器 (Phase/frequency detector, PFD)、电荷泵 (Charge pump, CP)、环路滤波器 (Loop filter, LF)、压控振荡器 (Voltage controlled oscillator, VCO)、分频器 (divider) 和 $\Delta\Sigma$ 调制器 (Delta sigma modulator, DSM). RFD 对系统输入时钟进行倍频, 产生稳定的两倍频时钟, 并将其作为参考时钟输入 PLL.

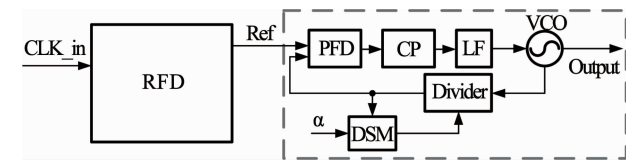


图 1 具有 RFD 的 PLL 系统框图

Fig. 1 Structure of a PLL system with an RFD

对于 PLL, 使用 RFD 对输入时钟倍频可以改善其带内噪声和小数分频量化噪声. PLL 的带内噪声主要由输入参考时钟、电荷泵和分频器贡献. 由于这 3 个模块的等效输出噪声均正比于 PLL 分频比的平方, 参考时钟频率增大一倍可以使带内噪声降低约 6 dB. $\Delta\Sigma$ 调制器具有对噪声的高通整形特性, 其量化噪声主要位于环路带宽外. 对于 L 阶的多级噪声整形 $\Delta\Sigma$ 调制器, 其在载波附近的噪声与参考时钟频率的 $2L-1$ 次幂成反比, 那么使用参考时钟倍频器会使量化噪声减小到原来的 $1/2^{2L-1}$.

1.2 RFD 非理想特性引入的杂散

异或门倍频器通过将输入时钟与其延时信号异或得到二倍频信号. 图 2 为具有 RFD 的 PLL 系统在环路锁定时, 输入时钟 (CLK_in)、延时信号 (delayed)、参考时钟 (Ref)、PLL 分频时钟 (Div) 与电荷泵电流 (I_{cp}) 的时域波形.

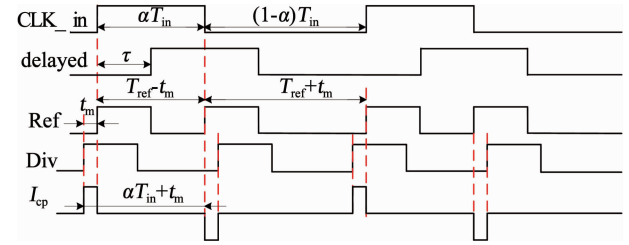


图 2 RFD 信号及其在 PLL 锁定时引起的周期电流脉冲

Fig. 2 Signals in RFD and generated periodic current pulse when PLL locks

图中 T_{in} 为外部输入时钟周期, T_{ref} 是 PLL 的参考时钟周期, 为 T_{in} 的 $1/2$, α 为输入时钟占空比, τ 为异或门倍频器中的延时长度, t_m 为 PLL 锁定时参考时钟与分频时钟的固定边沿差. 其中 t_m 满足:

$$t_m = \frac{1 - 2\alpha}{4} T_{in}. \quad (1)$$

当 α 不为 50% 时, 倍频器输出在时域上表现为每两个相邻周期的长度不同. 与文献[6-7]中参考杂散的产生原因与表现形式相似, 倍频后的参考时钟进入 PFD/CP 后, 在环路稳定时会产生周期稳定的脉冲式电荷泵输出电流.

由输入时钟占空比误差导致的失配电流是一个周期性的信号, 其周期为 $2T_{ref}$, 所产生的控制电压会导致 VCO 的输出具有其谐波分量, 根据文献[8]中 VCO 的数学模型可以得到 VCO 的输出电压为

$$V_{out}(t) \approx V_0 \left[\cos \omega_0 t - \frac{\Delta \varphi}{2} \cos \left(\omega_0 - \frac{\omega_{ref}}{2} \right) t + \frac{\Delta \varphi}{2} \cos \left(\omega_0 + \frac{\omega_{ref}}{2} \right) t \right]. \quad (2)$$

式中: V_0 为 VCO 摆幅; ω_0 为 VCO 谐振角频率; ω_{ref} 为参考时钟角频率; $\Delta \varphi$ 为由电荷泵失配电流引起的 VCO 相位偏移. 从式(2)中可以看到, 由占空比偏离 50% 产生的杂散位于 $f_0 \pm f_{ref}/2$ 处. 类比文献[7]中对 PLL 参考杂散的推导, 由占空比失准引起的杂散功率与边沿时间差 t_m 的关系如下:

$$P_{spur} \approx 20 \log \left[\frac{f_{BW}}{f_{ref}} \cdot N \cdot \frac{(2\pi)^2}{\sqrt{2}} \cdot \frac{T_{ref} - t_m}{2T_{ref}} \cdot \frac{t_m}{2T_{ref}} \right] - 20 \log \left(\frac{f_{ref}}{f_{p1}} \right). \quad (3)$$

式中: f_{BW} 为 PLL 的环路带宽; N 为 PLL 的分频比; f_{p1} 为 PLL 环路滤波器的首个带外极点频率. 进一步可

以得到杂散功率与输入时钟占空比 α 的关系:

$$P_{\text{spur}} \approx 20\log\left[\frac{f_{\text{BW}}}{f_{\text{ref}}} \cdot N \cdot \frac{(2\pi)^2}{\sqrt{2}} \cdot \frac{(1-4\alpha^2)}{16}\right] - 20\log\left(\frac{f_{\text{ref}}}{f_{\text{pl}}}\right).$$

(4)

式(4)可以发现,当输入时钟信号占空比 α 距 50% 越远时,引起的杂散功率越大.

假设倍频器输入信号频率为 100 MHz,占空比为 49%, N 取 40, f_{BW} 为 800 kHz,环路滤波器的首个带外极点 f_{pl} 位于 2 MHz,此时 t_m 为 0.05 ns,则由占空比失准在距载波 100 MHz 频偏处引入的杂散约为 -66.98 dBc. 需要通过高精度的占空比校准消除或降低该杂散.

2 基于数模混合占空比校准的 RFD 架构设计

2.1 RFD 架构设计

本文提出的基于数模混合占空比校准的 RFD 主要包括一个延时异或单元(Delayed exclusive OR, DXOR) 和一个占空比校准环路(Duty cycle calibration loop, DCCL),如图 3 所示. 其中 DXOR 对输入时钟信号进行倍频,DCCL 用于对输入信号的占空比进行校准,以降低在距离 PLL 输出载波 $f_{\text{ref}}/2$ 频偏处的杂散.

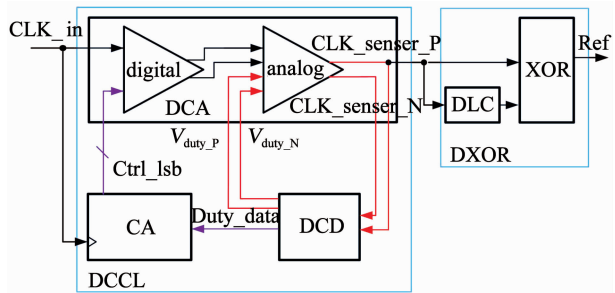


图 3 RFD 架构框图

Fig. 3 Structure of RFD

在 DXOR 中,校准后的时钟信号经延时器延时(Delay circuit, DLC)后,和原信号一同通过异或门(XOR)得到二倍频信号. DXOR 采用文献[9]中的传统结构,如图 4 所示. 在该结构中,延时产生的相移只要处于 0° 和 180° 之间,异或门即可产生稳定的二倍频信号.

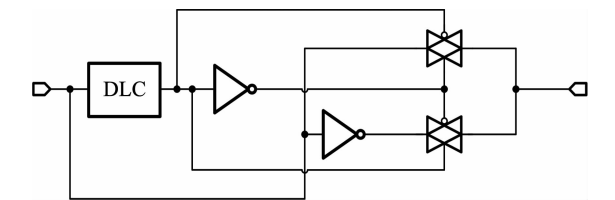


图 4 延时异或单元结构

Fig. 4 Structure of DXOR

本文提出的 DCCL 利用数字边沿调整和模拟校准环路进行占空比校准. 其主要结构包含占空比检测器(Duty cycle detector, DCD)、占空比调节器(Duty cycle adjuster, DCA)及其控制算法电路(Controlling algorithm, CA). 其中 DCD 作为 DCCL 的核心,参与数字边沿调整和模拟占空比校准两个过程. DCD 根据输入信号产生指示占空比与 50% 关系的数字信号 Duty_data,并将输入信号的占空比误差转换为模拟电压. 在进行数字边沿调整时,控制算法电路根据 Duty_data 通过 DCA 数字部分对输入信号的占空比进行粗调;进行模拟占空比校准时, DCA 模拟部分则通过与 DCD 形成的模拟校准环路进行高精度的占空比校准.

2.2 控制算法与流程

控制算法电路主要用于占空比校准中数模电路的工作流程控制和数字校准锁定的判断. 其控制流程如图 5 所示.

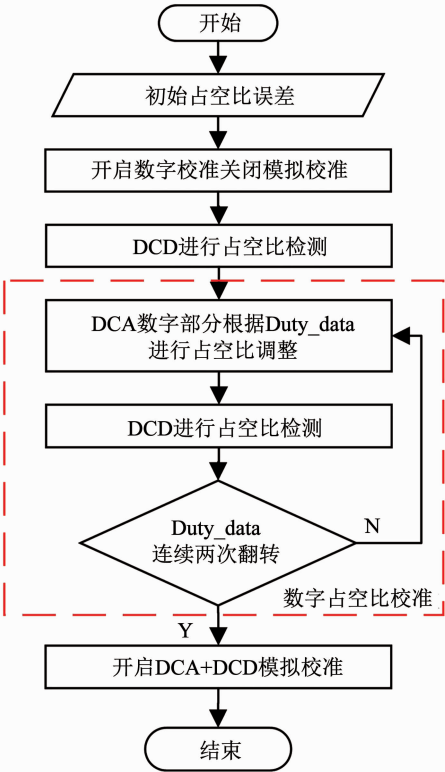


图 5 占空比校准流程图

Fig. 5 Flowchart of duty cycle calibration

系统启动后输入时钟进入 RFD,此时首先关闭模拟校准以防止其对数字校准完成的判断造成影响. DCD 对输入信号的初始占空比进行检测,得到指示信号 Duty_data. 然后启动数字占空比校准,控制算法根据 Duty_data 控制 DCA 数字部分调整信号边沿,然后重新比较并更新 Duty_data,重复调整和比较的过程直至数字校准完成. 完成后启动模拟校准,通过 DCA 模拟部分与 DCD 构成的模拟环路进行精度更高的校准. 至此系统执行过程结束. 其中数

字校准的完成通过 Duty_data 的翻转情况判断. 若 Duty_data 连续两次在 0 和 1 之间翻转则说明此时的占空比误差已小于最小调节步进, 数字校准完成.

2.3 模拟占空比校准环路分析

所提出的倍频器占空比校准电路在数字粗调完成后通过 DCCL 中的模拟环路进行细调, 以同时获得较大的校准范围和较高的校准精度. 文献[10-13]通过对模拟占空比校准环路进行建模可以分析和设计其环路特性及校准精度. 为方便分析, 本文采用单端形式进行建模, 如图 6 所示, 其中

$$\phi_{\text{out}} = \phi_{\text{in}} - K_{\text{DCA}} \cdot V_{\text{duty}}. \quad (5)$$

式中: ϕ_{in} 、 ϕ_{out} 分别为校准环路的输入和输出占空比误差; K_{DCA} 为 DCA 模拟部分输出占空比关于控制电压 V_{duty} 的斜率; V_{duty} 为 DCD 的输出信号, 其值为

$$V_{\text{duty}} = \phi_{\text{out}} K_{\text{CP}} H_{\text{int}}(s) H_{\text{LPF}}(s). \quad (6)$$

式中: K_{CP} 为电荷泵每周期的净输出电流关于 ϕ_{out} 的斜率; $H_{\text{int}}(s)$ 为积分器输入电流到输出电压的传递函数; $H_{\text{LPF}}(s)$ 为低通滤波器的传递函数. 设运算放大器的增益为 A_v , 其中低频增益为 A_0 , 主极点角频率为 ω_A , 则有:

$$H_{\text{int}}(s) = \frac{R_{\text{CP}} A_v}{1 + s R_{\text{CP}} C_{\text{int}} (1 + A_v)}, \quad (7)$$

$$A_v = \frac{A_0}{1 + s/\omega_A}, \quad (8)$$

$$H_{\text{LPF}}(s) = \frac{1}{1 + s/\omega_{\text{LPF}}} = \frac{1}{1 + s R_{\text{filter}} C_{\text{filter}}}, \quad (9)$$

式中, ω_{LPF} 为一阶低通滤波器的极点角频率, 由上述各式可以得到环路增益:

$$H_{\text{loop}}(s) = K_{\text{DCA}} V_{\text{duty}} = \frac{K_{\text{DCA}} K_{\text{CP}} R_{\text{CP}} A_0}{1 + s(R_{\text{CP}} C_{\text{int}} A_0 + 1/\omega_A) + s^2 R_{\text{CP}} C_{\text{int}}/\omega_A} \cdot \frac{1}{1 + s/\omega_{\text{LPF}}}. \quad (10)$$

由于 $H_{\text{loop}}(s)$ 第 1 项中积分器输出点的高频极点远高于系统频率, 那么环路增益可以简化为

$$H_{\text{loop}}(s) \approx \frac{K_{\text{DCA}} K_{\text{CP}} R_{\text{CP}} A_0}{(1 + s R_{\text{CP}} C_{\text{int}} A_0)(1 + s/\omega_{\text{LPF}})}. \quad (11)$$

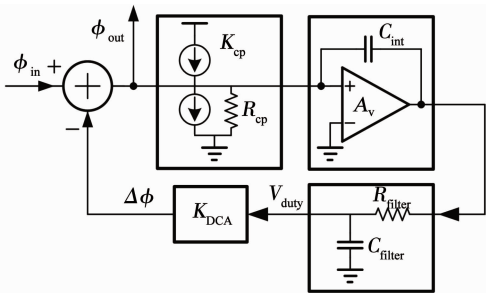


图 6 占空比模拟校准环路模型

Fig. 6 Model of analog part of DCCL

来自积分器电容的密勒效应使得环路的主极点

约为 250 kHz, 低通滤波器的极点约为 50 MHz, 距离主极点非常远, 所以环路稳定性不受滤波器极点的影响. 根据实际电路参数计算得到环路的闭环低频增益为 36 dB, 相位裕度约为 90°, 根据增益计算得到, 占空比校准后输出占空比误差将降低为输入占空比误差的 1.58%.

3 RFD 电路设计

3.1 占空比检测器(DCD)

3.1.1 DCD 电路结构

作为 DCCL 的核心, DCD 将输入信号的占空比误差转换为电压信号, 进而配合 DCA 和控制算法一同对输入信号的占空比进行校准.

占空比检测器的电路结构如图 7 所示, 其中第 1 级电荷泵采用推挽输出的运放, 将电压占空比转换为电荷泵输出电流的占空比, 再利用积分器转换为电压信号. 在一个时钟周期内, 当 CLK_senser_P > CLK_senser_N 时, M_2 断开, M_4 将电流灌入 C_2 . 另外一路, 为满足基尔霍夫电流定律, M_1 还需要从 C_1 中抽取另外的 $0.5I_t$, 造成流经 C_1 和 C_2 的电流方向相反. 当占空比偏离时, C_1 和 C_2 产生不同的平均电荷积累量, 从而得到与占空比相关的差分输出电压, 经一阶低通滤波器滤波留下直流分量 V_{duty_P} 和 V_{duty_N} , 输出到比较器和 DCA 模拟部分. 控制算法电路会根据比较器输出判断下一步的占空比调整方向. 在这里需要在电阻 R_1 、 R_2 和电容 C_3 、 C_4 之间做噪声性能和面积的折中: 当电阻较大时, 可以有效减小电容的面积, 但电阻会对 V_{duty} 贡献相当一部分噪声; 当电阻较小时, 电容面积将扩大, 但噪声性能将得到改善.

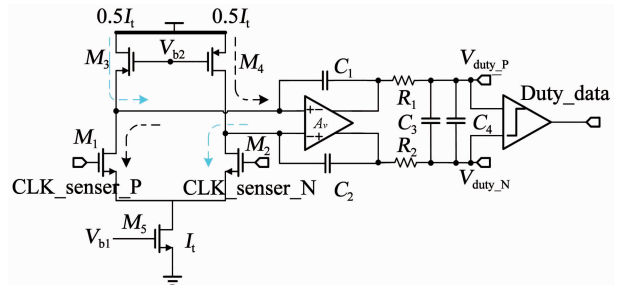


图 7 DCD 结构框图

Fig. 7 Structure of DCD

3.1.2 非理想效应分析

占空比校准环路的非理想效应主要来自两方面: 电荷泵电流失配和比较器的失调电压. 其中电荷泵的电流失配对占空比校准的精度有较为重要的影响.

1) 电荷泵电流失配. 电荷泵电流失配是指由于版图不对称和电流镜电路中沟道长度调制等因素造成的电荷泵左右两路电流不匹配. 对于输入管 M_1 和 M_2 , 假设图 7 的 DCD 中电荷泵的尾电流为 I_t , 输入

管作为理想开关工作,由于两个输入管不会同时导通,所以每路 N 管在导通时总是流过全部的尾电流 I_t ,输入管的失配对校准结果的影响较小. 对于 P 管电流源,假设 M_3 和 M_4 的电流分别为 mI_t 和 $(1-m)I_t$,输入信号占空比为 α ,当占空比校准完成后电荷泵输出电流在积分器中每周期积累的电荷量相等,即

$$mI_t \cdot \alpha T - (1-m)I_t \cdot (1-\alpha)T = (1-m)I_t \cdot (1-\alpha)T - mI_t \cdot \alpha T, \quad (12)$$

化简后可得

$$\alpha = 1 - m. \quad (13)$$

所以,在只考虑电荷泵失配时,校准完成后输出信号的占空比误差等于电荷泵两路 P 管的电流误差. 为了减小该失配带来的影响,在设计中采用了共源共栅结构和版图匹配技术来抑制由沟道长度调制和其他版图因素引起的失配.

2) 比较器失调电压. 由于数字调节的锁定是由比较器的比较结果决定的,所以过大的比较器失调电压会影响数字占空比校准的精度. 由于比较器和控制算法的时钟为输入时钟的 256 分频信号,所以比较器的失调电压只需小于 DCA 数字部分调节步长在一个时钟周期内累积的 V_{duty} 变化. 仿真结果显示,在输入时钟为 100 MHz 时,比较器失调电压约为 3 mV,而数字校准锁定时一个周期内 V_{duty} 的变化量超过 20 mV,此时比较器的失调电压不会影响数字调节锁定的判断.

3.2 占空比调节器 (DCA)

3.2.1 DCA 数字部分

本文采用的 DCA 数字部分及其边沿调整器如图 8(a) 所示.

文献[11-14]中采用多级反相器扩大调整范围的做法,所提出的 DCA 数字部分采用六级边沿调整器对信号边沿的延时差进行调整,进而调整输入方波的占空比,其调节前后波形变化如图 8(b) 所示. 每级边沿调整器的延时差均为前一级的两倍,便于算法使用二进制码进行调节程度的控制.

基于反相器结构,由快/慢速 PMOS 和快/慢速 NMOS 组成,其中 $M_1 \sim M_4$ 具有相同的宽长比 W/L ,速度较慢, $M_5 \sim M_8$ 具有更大的宽长比 W/L ,速度更快. 慢速 PMOS 可以将输入信号下降沿减慢为缓慢输出上升沿,慢速 NMOS 则可以将输入信号上升沿减慢为缓慢的输出下降沿. 当输出信号进入后一级反相器时,不同的边沿速度在同一反相器阈值下即可转化为不同的延时. 当前后两个反相器设置为相反的极性时,即可对不同的边沿产生延时差. 两种边沿的延时差 $\Delta\tau$ 会造成信号的占空比缩小 $\Delta\tau/T$. 图 8(a) 中第 1 级设置为减缓输出上升沿,第 2 级为

减缓输出下降沿,当输入信号进入后,两级反相器对输入信号的下降沿延时较高,而对输入信号上升沿的延时较低,增大了信号占空比. 仿真结果显示,在六级边沿调整器对输入信号的延时差调整范围为 ± 1382 ps,调节步长约 10.8 ps,对于 100 MHz 的输入时钟,其最大可调范围为 $50\% \pm 13.82\%$,最大调节误差为 $\pm 0.11\%$. 根据模拟占空比校准环路分析的推导,数模混合校准之后的理论占空比误差将低于 0.001 8%.

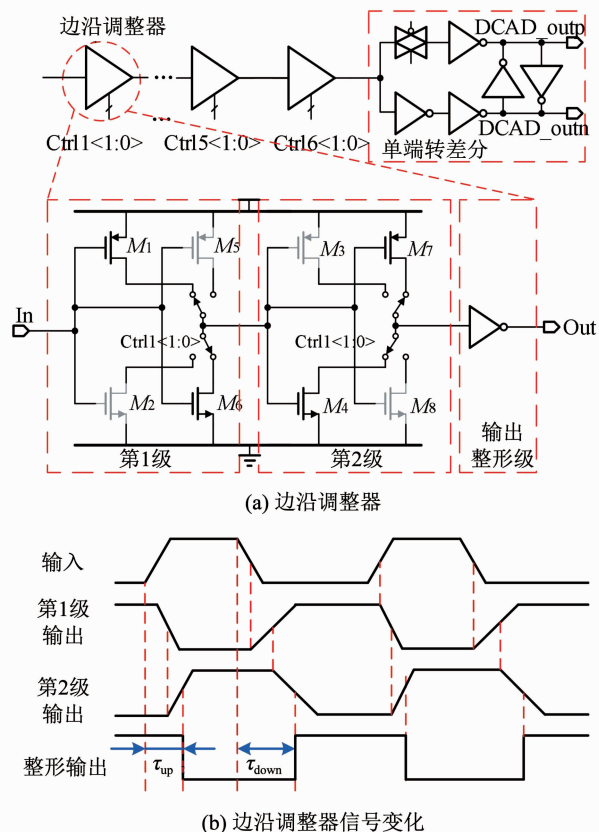


图 8 边沿调整器结构及其信号变化

Fig. 8 Structure of edge adjustor and its changes in signals

3.2.2 DCA 模拟部分

当 DCA 数字部分完成校准后,占空比误差已经缩小到模拟部分校准范围内,此时固定数字校准码字,算法电路控制模拟校准环路启动进行精度更高的占空比校准.

DCA 模拟部分如图 9(a) 所示. 模拟占空比调节通过改变时钟缓冲器的差分输出直流偏置,即改变信号过零点调整占空比. 对 DCA 模拟部分的校准斜率 K_{DCA} 进行仿真,结果如图 9(b) 所示,对于 100 MHz 输入信号,其 K_{DCA} 约为 $0.57\%/V$.

3.3 系统仿真分析

对整个系统进行数模混合仿真,其中输入信号频率为 100 MHz,占空比约为 49.2%,RFD 输出信号频率如图 10(a) 所示,DCA 输出信号占空比变化

如图 10(b) 所示. 可以看到, DCA 数字部分将占空比缩小至 50.03% 后, 进入模拟校准过程, 最终占空比均值稳定在 50.002% 附近, 由于波动引起的最大占空比误差为 0.007%. RFD 的输出频率误差约为 380×10^{-6} .

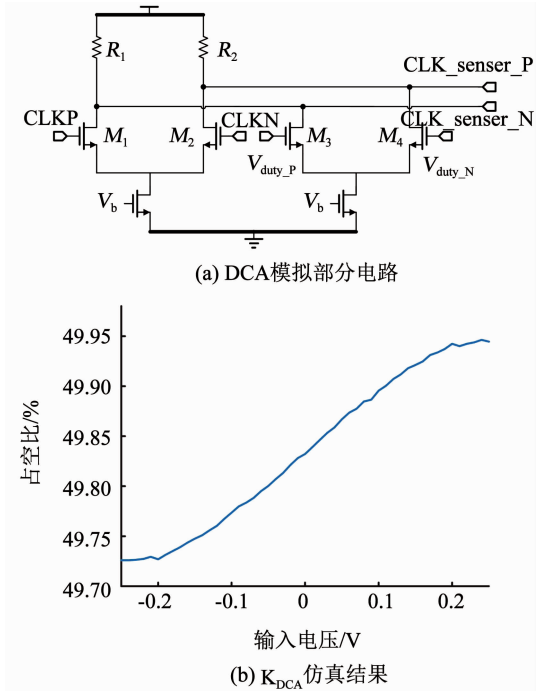


图 9 DCA 模拟部分及 K_{DCA} 仿真结果

Fig. 9 Analog part of DCA and simulated K_{DCA}

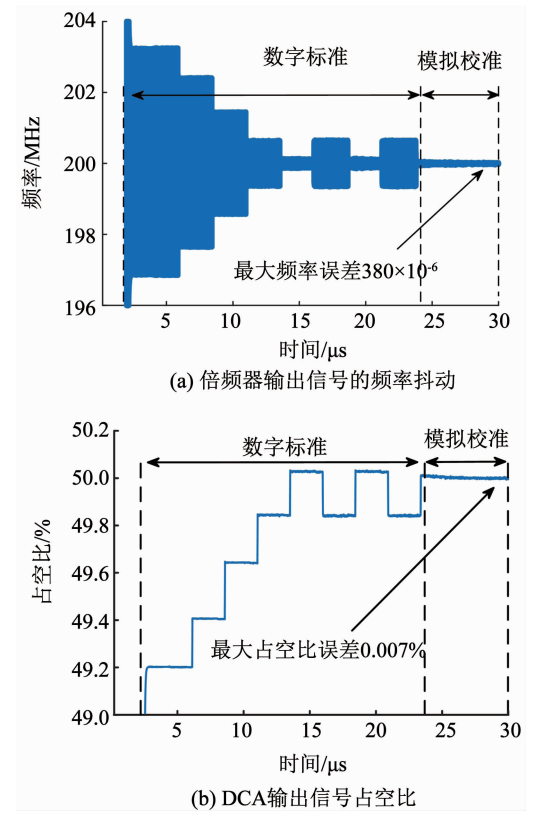


图 10 倍频器输出频率误差及 DCA 输出占空比仿真结果

Fig. 10 Simulated frequency error of RFD output and duty cycle of DCA output

对倍频器输出的二倍频信号进行相位噪声仿真, 结果如图 11 所示, 可以看到在参考时钟噪声贡献占比较高的带内部分, 二倍频信号的相位噪声从 1 kHz 频偏处开始已低于 125 dBc/Hz, 远低于常规 PLL 的带内噪声, 可以认为由 RFD 额外引入的相位噪声不会对 PLL 的输出相位噪声造成影响.

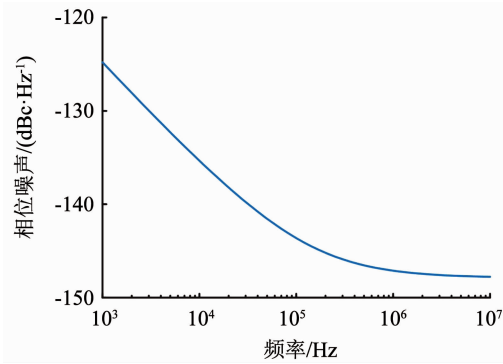


图 11 倍频器输出相位噪声仿真结果

Fig. 11 Simulated phase noise of RFD output

在不同 PVT 环境下对电路进行仿真, 得到 DCA 输出信号的最大占空比误差, 结果见表 1.

表 1 不同 PVT 条件下的最大校准误差仿真结果

Tab. 1 Simulated maximum errors of calibration in different PVT conditions

温度/℃	工艺角	电源电压	最大调节误差/(± %)
125	ss	1.3	0.014
125	ss	1.2	0.016
125	ff	1.3	0.061
125	ff	1.2	0.068
-40	ss	1.3	0.014
-40	ss	1.2	0.046
-40	ff	1.3	0.005
-40	ff	1.2	0.003

4 实验验证与对比分析

本文所述电路使用 40 nm CMOS 工艺进行了流片验证, 芯片显微照片及版图如图 12 所示, 其中差分输入信号通过图中所示的管脚 CLK_in_P 和 CLK_in_N 输入 RFD, 经占空比校准和倍频后进入 PLL.

将该倍频器的输出信号作为参考时钟输入 PLL, 并对该 PLL 的相位噪声及杂散进行测试, 测试结果可以反映出倍频器对相位噪声和杂散的改善能力. 测试采用的输入正弦信号频率为 40 MHz. 令 PLL 工作在小数分频模式, 使 $\Delta\Sigma$ 调制器的量化噪声突显出来. 当参考时钟倍频器被旁路时, PLL 的分频比 N 设置为 100, VCO 振荡在 4 GHz. 参考时钟倍频器开启后, PLL 参考时钟被倍频为 80 MHz, 分频比 N 降低为 50, 以保证相同的输出频率. PLL 输出

信号的相位噪声如图 13 所示. 其中使用倍频器后带内噪声最多下降约 6.67 dB, $\Delta\Sigma$ 调制器量化噪声最多下降约 5.61 dB.

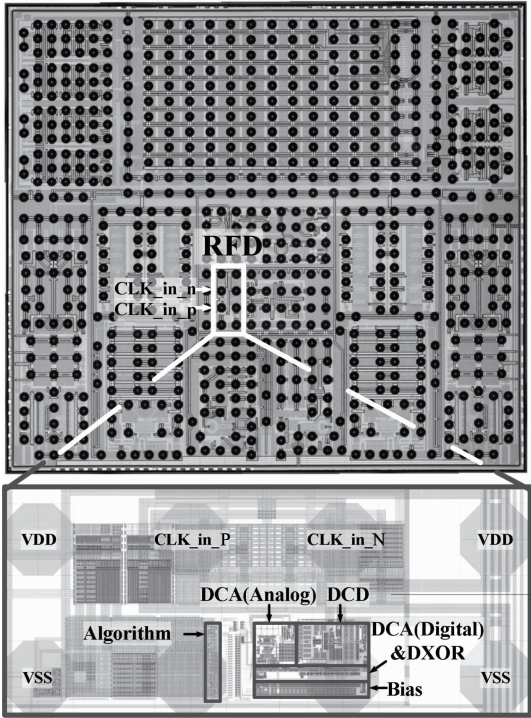


图 12 倍频器显微照片及版图

Fig. 12 Microphotograph and layout of RFD

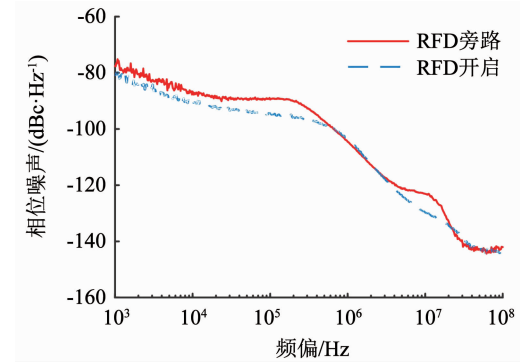


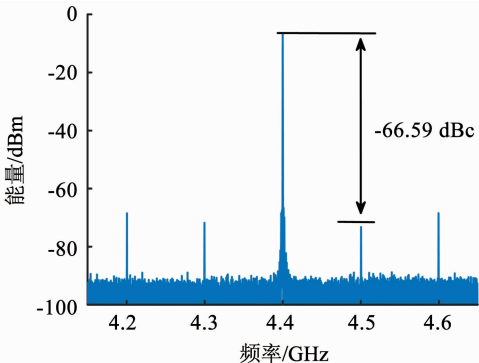
图 13 PLL 相位噪声及量化噪声抑制测试结果

Fig. 13 Measured suppression of phase noise and quantization noise of PLL

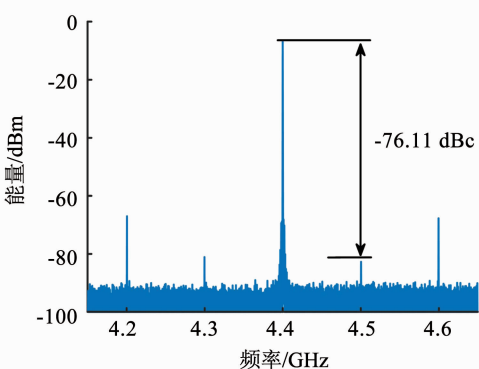
同时,在输入时钟频率为 100 MHz 时验证占空比校准对杂散的改善状况. PLL 的输出频谱如图 14 所示,当输入时钟占空比偏离 50% 时,在距输出载

波 100 MHz 处的杂散约为 -66.59 dBc/Hz;当输入时钟占空比得到校准后,距输出载波 100 MHz 处的杂散降低至 -76.11 dBc/Hz. 由校准带来的杂散抑制达到 9.52 dB.

表 2 为本文提出的倍频器与近年部分相关文献中相似电路的性能比较. 在杂散性能上,所提出的 RFD 与 PLL 构成的系统在距 PLL 输出载波 1/2 参考频率偏移处和参考时钟频率偏移处的杂散性能均优于类似结构的论文. 在占空比校准性能上,由于数模校准的结合,本文最大占空比校准误差理论值为 0.001 8%,低于根据文献[4]中数字调节步长计算得到的最大误差. 通过仿真验证,最大占空比误差远低于采用纯模拟和其他数模混合方式进行校准的文献. 所提出的占空比校准范围为 36.18% ~ 63.82%,在高校准精度的前提下达到了符合应用需求的校准范围.



(a) 占空比未校准时的杂散



(b) 占空比校准后的杂散

图 14 占空比校准前后杂散测试结果对比

Fig. 14 Measured spurs of PLL with or without DCC

表 2 相似类型电路性能对比

Tab. 2 Comparison between similar circuits

对比	占空比校准方式	输入频率范围/Hz	输入占空比范围/%	最大误差/%	1/2 参考杂散/(dBc · Hz ⁻¹)	参考杂散/(dBc · Hz ⁻¹)	工艺/nm
本文	混合	40 ~ 125 M	36.18 ~ 63.82	0.001 8 ¹ 0.007 0 ²	-76.11	-62.0	40
文献[2]	数字	125 M	45.00 ~ 55.00	0.005 0 ¹	-53.50	-46.0	65
文献[4]	数字	75 M			-58.00	-51.4	28
文献[15]	模拟	1 ~ 5 G	20.00 ~ 80.00	0.10 ²			55
文献[16]	混合	0.5 ~ 2.0 G	20.00 ~ 80.00	<1.49 ³			55

注:1. 根据校准解析度所得计算值;2. 常温、常规工艺角下的仿真值;3. 测试值。

5 结 论

1) 本文提出了一种集成数模混合占空比较准环路的新参考时钟倍频器,该倍频器通过数字边沿调整技术扩大了占空比较准的输入误差范围,通过模拟占空比较准环路提高了占空比较准的精度.两种校准技术通过算法控制协同工作,在扩大校准范围的同时提高了校准的精度.并通过仿真和流片测试进行了验证.

2) 仿真结果显示,数模混合占空比较准电路能够将占空比误差降低至 0.007%,倍频器输出信号的频率误差能够降低至 380×10^{-6} .

3) 测试结果显示,通过所提出的参考时钟倍频器对锁相环输入时钟进行倍频,该倍频器能够使锁相环的带内噪声和小数分频量化噪声分别降低 6.67 dB 和 5.61 dB. 在该 RFD 与 PLL 组成的系统中进行输入时钟占空比较准,可以使由 100 MHz 输入时钟占空比误差引起的 1/2 参考频率偏移处的杂散降低 9.52 dB.

参考文献

- [1] SIRIBURANON T, LIU Haili, NAKATA K, et al. A 28-GHz fractional-N frequency synthesizer with reference and frequency doublers for 5G cellular[C]//Proceedings of the 41st European Solid-State Circuits Conference. Graz: IEEE, 2015: 76. DOI:10.1109/ESSCIRC.2015.7313832
- [2] ELKHOLY A, COOMBS D, NANDWANA R K, et al. A 2.5-5.75-GHz ring-based injection-locked clock multiplier with background-calibrated reference frequency doubler[J]. IEEE Journal of Solid-State Circuits, 2019, 54(7): 2049. DOI:10.1109/JSSC.2019.2904884
- [3] WU Wanghua, YAO C W, GODBOLE K, et al. A 28-nm 75-fsrms analog fractional-N sampling PLL with a highly linear DTC incorporating background DTC gain calibration and reference clock duty cycle correction[J]. IEEE Journal of Solid-State Circuits, 2019, 54(5): 125. DOI:10.1109/JSSC.2019.2899726
- [4] KIM H, KIM Y, KIM T, et al. A 2.4 GHz 1.5 mW digital MDLL using pulse-width comparator and double injection technique in 28 nm CMOS[C]//2016 IEEE International Solid-State Circuits Conference. San Francisco, CA: IEEE, 2016: 328. DOI:10.1109/ISSCC.2016.7418040
- [5] RAGHAVAN L, WU Ting. Architectural comparison of analog and digital duty cycle corrector for high speed I/O link[C]//Proceedings of the 23rd International Conference on VLSI Design. Bangalore: IEEE, 2010: 270. DOI:10.1109/VLSI.Design.2010.83
- [6] SHU Keliu, SANCHEZ-SINENCIO E. CMOS PLL synthesizers: Analysis and design[M]. 1st ed. Boston, MA: Springer, 2005: 164. DOI: 10.1007/b102174
- [7] RHEE W. Multi-bit delta-sigma modulation technique for fractional-N frequency synthesizers[D]. Urbana, IL: University of Illinois at Urbana-Champaign, 2012
- [8] RAZAVI B. RF microelectronics[M]. 2nd ed. Upper Saddle River NJ: Prentice Hall, 2011: 206
- [9] JACKSON B R, SAAVEDRA C E. An L-band CMOS frequency doubler using a time-delay technique[C]//Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems. San Diego, CA: IEEE, 2006: 131. DOI: 10.1109/SMIC.2005.1587925
- [10] CHENG K H, SU C W, CHANG K F. A high linearity, fast-locking pulswidth control loop with digitally programmable duty cycle correction for wide range operation[J]. IEEE Journal of Solid-State Circuits, 2008, 43(2): 399. DOI:10.1109/JSSC.2007.914286
- [11] LIN Weiming, HUANG Hongyi. A low-jitter mutual-correlated pulswidth control loop circuit[J]. IEEE Journal of Solid-State Circuits, 2004, 39(8): 1366. DOI:10.1109/JSSC.2004.831499
- [12] RAJA I, BANERJEE G, ZEIDAN M A, et al. A 0.1-3.5-GHz duty-cycle measurement and correction technique in 130-nm CMOS[J]. IEEE Transactions on Very Large Scale Integration Systems, 2016, 24(5): 1975. DOI:10.1109/TVLSI.2015.2478804
- [13] JAISWAL A, FANG Yuan, NAWAZ K, et al. A wide range programmable duty cycle corrector[C]//IEEE International System-on-chip Conference. Erlangen: IEEE, 2013: 192. DOI:10.1109/SOCC.2013.6749686
- [14] YOON H, KIM J, PARK S, et al. A-31 dBc integrated-phase-noise 29 GHz fractional-N frequency synthesizer supporting multiple frequency bands for backward-compatible 5G using a frequency doubler and injection-locked frequency multipliers[C]//IEEE International Solid-State Circuits Conference. San Francisco, CA: IEEE, 2018: 366. DOI:10.1109/SOCC.2013.6749686
- [15] QIU Yusong, ZENG Yun, ZHANG Feng. 1-5 GHz duty-cycle corrector circuit with wide correction range and high precision[J]. Electronics Letters, 2014, 50(11): 792. DOI: 10.1049/el.2014.0170
- [16] HAN S, KIM J. Hybrid duty-cycle corrector circuit with dual feedback loop[J]. Electronics Letters, 2011, 47(24): 1311. DOI:10.1049/el.2011.2710

(编辑 张 红)