

改进 Tent 混沌序列的数字电路 BIST 技术

朱敏¹, 王石记², 杨春玲¹

(1. 哈尔滨工业大学 电气工程及自动化学院, 哈尔滨 150001, zhuminhit@163.com;

2 北京航天测控技术开发公司, 北京 100041)

摘要: 针对目前数字电路规模变大, 测试困难的特点, 提出了一种基于改进 Tent 混沌序列的数字电路 BIST 技术. 采用改进混沌 Tent 映射模型构建硬件电路并产生具有白噪声特性的“0-1”随机序列作为数字电路的自动测试生成图形, 利用 CRC 特征电路分析输出响应, 并得到混沌序列的测试响应特征码, 通过特征码的不同来检测故障. 研究表明, 本文方法易于 BIST 技术实现, 相比于普通 M 序列性能优越, 能够得到更高的故障检测率和故障隔离率, 适合于 FPGA 等大规模可编程逻辑电路的自动测试.

关键词: 时序电路; Tent 混沌 0-1 序列; 内建自测试; 循环冗余码

中图分类号: TP702

文献标志码: A

文章编号: 0367-6234(2010)04-0607-05

BIST technique of digital circuits based on improved tent chaotic sequence

ZHU Min¹, WANG Shi-ji², YANG Chun-ling¹

(1. School of Electrical Engineering and Automation, Harbin Institute of Technology, Harbin 150001, China, zhuminhit@163.com;

2. Aerospace Measurement & Contro, Beijing 100041, China)

Abstract: This paper proposed a realization method of BIST technique of digital circuits based on improved Tent chaotic sequence to address the problem of testing digital circuits. Random sequence of “0-1” with white noise characteristics which generated by improved tent chaotic logistic map model hardware implementation is used as automatic test pattern generation (ATPG) of digital circuits. Test response signatures of chaotic sequence are obtained from CRC analysis of output response. It is shown that the method presented in this paper is easy for realization of BIST and has superior performance of higher rate of fault detection and fault isolation than that of M sequence. It is suitable for large-scale FPGA and automatic testing of other programmable logic circuits.

Key words: sequential circuits; tent chaotic 0-1 sequence; BIST; CRC

随着超大规模集成电路 (VLSI) 和可编程逻辑器件 (PLD) 的发展, 一般的数字电子系统可以在单独的一片可编程芯片中实现. 单片芯片所能实现复杂设计的提高和不断增长的设计复杂性, 使得数字电路的测试变得越来越困难. 其主要原因一是一般的数字电路都包括存储单元, 即各种触发器、寄存器电路, 这些记忆单元不易设定和检测, 其可控性和可观测性差^[1-4]. 二是系统复杂度增长的同时, 芯片的输入输出接口相对较少, 即可

访问管脚的比重在下降. 因此, 在数字电子系统设计之初需要考虑测试问题, 即可测性设计^[5-6].

内建自测试 (BIST) 技术为数字电路测试提供了一种实用的可测性设计方案. 内建自测试将测试激励产生 (TPG) 电路、测试控制电路和响应分析 (ORA) 电路都嵌入在原电路中^[7-9].

本文提出的基于改进 Tent 混沌序列的数字电路 BIST 技术, 即在数字电路系统中增加 Tent 混沌序列发生硬件电路作为自动测试图形生成电路, 并采用 CRC 响应分析电路作为输出响应特征分析. 文中给出了针对 ISCAS'85 标准测试组合逻辑电路 c17 和 ISCAS'89 标准测试时序电路 s27 的测试结果. 研究表明, 本文提出的方法易于 BIST 技术的实现, 可应用于一般的数字逻辑电

收稿日期: 2009-12-07.

基金项目: 国家自然科学基金资助项目 (60877065); 哈尔滨市科技创新人才研究专项资金 (RC2008XK009004).

作者简介: 朱敏 (1981—), 男, 博士研究生;

杨春玲 (1965—), 女, 教授, 博士生导师.

路,包括 FPGA 等 VLSI 的内核功能的自动测试.

1 改进 Tent 混沌序列数字电路 BIST 技术

1.1 改进的 Tent 映射混沌特性分析

Tent 映射模型^[10-12]:

$$x \rightarrow \begin{cases} x/K, & 0 < x < K; \\ \frac{(1-x)}{1-K}, & K \leq x < 1. \end{cases} \quad (1)$$

其中 $0 < K < 1$. 由于 Tent 映射模型是两个分段线性迭代,其结构易于用硬件电路来实现. 当 $K = 0.5$ 时,即是典型的三角帐篷迭代模型,根据迭代序列不难发现,序列易进入小周期点. 如当选取初始迭代点 $x_0 = 0.1$,那么序列将进入 0.4 和 0.8 的反复迭代点,当其迭代点处于诸如 0.25, 0.5, 0.75 等点时,很容易进入迭代不动点 0. 因此 Tent 映射混沌序列需特别选取适当参数,才能产生混沌迭代序列.

为便于硬件电路的实现,本文将 Tent 映射混沌序列进行改进,其迭代公式为

$$x \rightarrow \begin{cases} 3x, & 0 < x < 333; \\ 1499 - 1.5x, & 333 \leq x < 999. \end{cases} \quad (2)$$

上述改进型 Tent 混沌迭代的初始值 $x_0 = 150$,迭代 500 次的映射过程如图 1 所示.

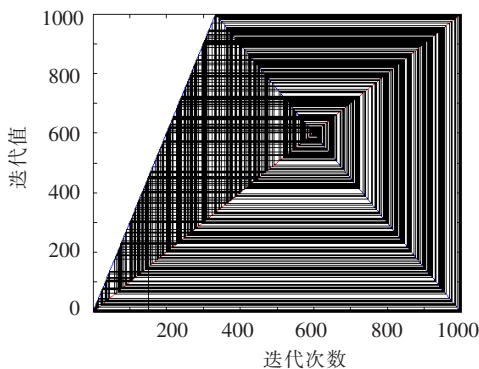


图 1 初始值为 150 的改进 Tent 混沌映射过程

图 2 为初值 $x_0 = 150$,迭代次数为 500 的 Tent 混沌模型的随机特性图. 可以看出 Tent 混沌模型迭代值遍历 $(0, 999)$ 空间,说明其具有很好的随机

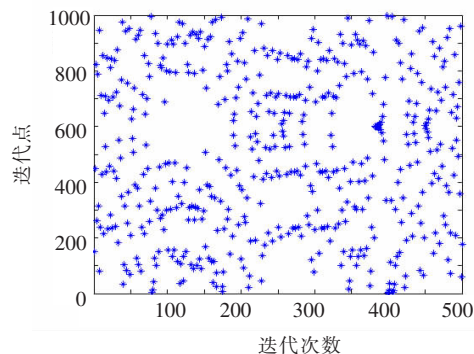


图 2 改进 Tent 映射的随机特性

特性. 图 3 为初值相差 10^{-11} 时,在迭代大约 50 次后,两个混沌序列 $X1, X2$ 将完全不同. 因此可以看出,只要初值稍加修改,就可得到完全不同的序列. 因此,本文提出的改进的 Tent 混沌序列能产生比 M 序列更多更为广泛应用的随机序列.

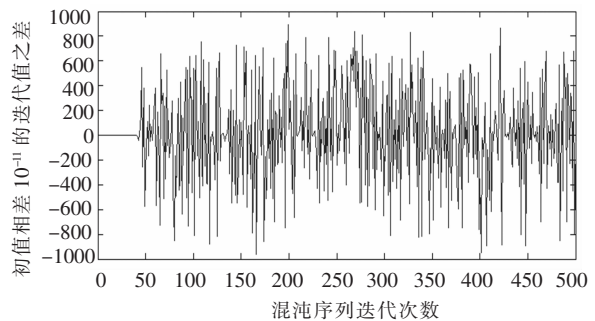


图 3 改进 Tent 映射初值相差 10^{-11} 时迭代图

考虑到 FPGA 内核电路是纯数字电路,并结合 Tent 混沌序列的上述特性,所加的测试激励需要为“0-1”序列^[13-15],本文改进 Tent 映射,得到改进的混沌 Tent 映射模型的“0-1”随机序列.

$$s_i = \begin{cases} 0, & 0 < x < 500; \\ 1, & 500 \leq x < 999. \end{cases} \quad (3)$$

由于改进 Tent 映射迭代值在 $(0, 999)$ 空间是遍历的且均匀分布,因此改进的“0-1”混沌序列中“0”和“1”分布也是均匀的,满足 Golomb 提出的随机序列公设条件中 0 和 1 均衡分布的条件. 序列的自相关函数为

$$R_{ss}(K) = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{i=0}^{N-1} (s_i - \bar{X})(s_{i+K} - \bar{X}). \quad (4)$$

互相关函数为

$$R_{ss'}(K) = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{i=0}^{N-1} (s_i - \bar{X})(s'_{i+K} - \bar{X}). \quad (5)$$

式(4)中 s_i 与 s_{i+k} 是由同一初值所产生的相差 K 个间隔点数的序列. 式(5)中 s_i 与 s'_{i+k} 是不同初值所产生的相差 K 个间隔点数的序列. 图 4(a)为改进 Tent 混沌二进制序列的自相关特性图,序列的初始值为 $x_0 = 150$,图中间隔 K 从 0 到 2 000,序列长度为 5 000. 图 4(b)为改进 Tent 混沌互相关特性图,序列分别是由初始值 $x_0 = 150$ 和 $x_0 = 151$ 所产生的不同序列之间互相关性仿真.

本文提出的基于改进的 Tent 混沌序列的“0-1”随机序列具有非常好的自相关和互相关特性,其自相关特性类似于 δ 函数,具有白噪声的特性,且互相关值非常小,特性也接近于白噪声. 结合混沌序列的初值敏感性,只需要改变初值就可以产生特性很好的任意长度的随机序列,这种特性适合作为数字电路的自动测试图形生成电路.

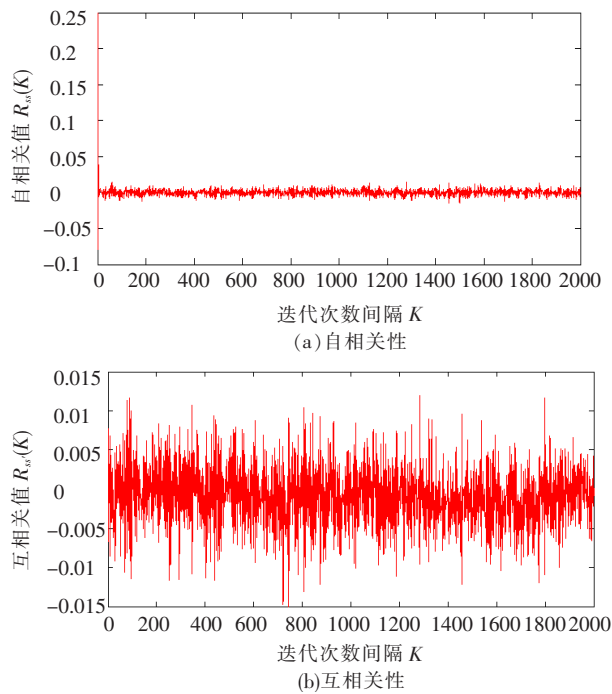


图4 “0-1”随机序列的自相关性 与互相关性

1.2 改进 Tent 混沌映射的硬件电路 BIST 技术实现

本文利用改进的 Tent 混沌映射在 FPGA 中实现 BIST 测试,其结构框图如图 5 所示.

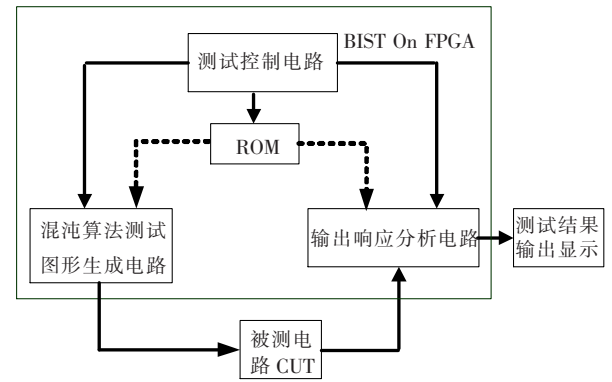


图5 数字系统实现 BIST 结构框图

图中混沌算法测试图形生成电路采用改进的 Tent 混沌映射迭代算法. 利用硬件描述语言实现式(2)中的迭代运算. 为节省硬件资源,式中的乘法运算可以通过移位运算和加减运算来实现. 算法描述如下:

Step1:初始化, $x(i)$ 取初始值 x_0 ;

Step2:if($x(i) \geq 333$),则 $x(i+1) = 1499 - x(i) - (x(i) \gg 1)$,进入 Step4,否则进入 Step3;(其中“ $\gg$ ”表示右移操作.)

Step3: $x(i+1) = (x(i) \ll 1) + x(i)$;(其中“ $\ll$ ”表示左移操作.)

Step4:将当前的 $x(i+1)$ 赋值给下一次迭代运算的 $x(i)$;

Step5:判断是否到指定的迭代次数 N ,如果

是就结束运行,并输出 $x(i)$,其中 $i = 1,2,\cdots,N$,否则返回 Step2 继续执行.

将混沌算法产生的序列加载在被测电路 CUT(Circuits Under Test)的输入端,在 CUT 的输出端得到响应序列. 利用数据通信中 CRC 校验数据传输的原理,将 CRC 作为响应特征分析电路,其硬件通过线性反馈移位寄存器(LFSR)来实现.

2 实验及分析

2.1 组合电路测试分析

以标准组合测试电路 ISCAS’85 中的 c17 作为被测电路,Tent 混沌迭代算法作为测试图形生成电路,CRC 电路用于响应分析. 被测电路有 5 个输入端 G1,G2,G3,G4,G5,2 个输出端 G16 和 G17,中间节点 G8,G9,G12,G15,其混沌迭代电路 BIST 的结构如图 6 所示.

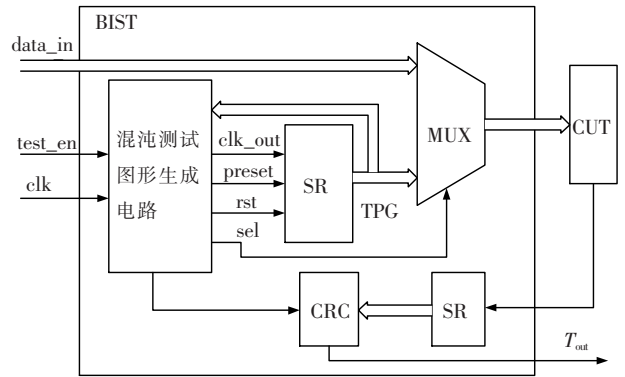


图6 混沌测试电路 BIST 结构框图

混沌测试图形生成电路是由混沌算法所构建的硬件电路. 在测试使能信号 test_en 和系统时钟 clk 的作用下,测试控制状态机产生激励时钟信号 clk_out,将产生的混沌序列通过移位寄存器串行移入被测数字电路的输入端. 同时通过控制信号 sel 控制 MUX 选择测试激励,切断正常数据通道 data_in. 此时混沌序列激励信号加载在被测电路 c17 的输入端,并在输出端读出响应,暂存在寄存器中. 在测试控制控制状态机的控制下输入到 CRC 电路中进行分析并输出结果.

被测电路的每个节点分别可以设置固定为“0”和“1”的故障,其中 G5_0 和 G5_1 分别表示节点 G5 发生固定为“0”和“1”的故障,依此类推. 采用 CRC 多项式 $x^{16} + x^2 + 1$ 作为响应分析电路,得到相应的特征码. 经过若干次的迭代,特征码输出将不同,测试结果见表 1.

表 1 中给出了分别以 LFSR 产生的 M 序列和混沌序列作为测试激励矢量,在输出端 G16 和 G17 采用 CRC 响应分析电路得到的特征码. M 序

列的无故障特征码为“3A6C/6634”,混沌序列的迭代次数不同故障特征码也不同,分别将其列于表中.可以看出,利用 LFSR 所产生的 M 序列和混沌序列都能达到 100% 检测故障的目的,混沌序

列检测所有故障的迭代次数为 18 次,比 M 序列长度要短.经过足够的迭代次数其故障隔离率能达到 90.9%,远大于 M 序列 45.5% 的隔离率.

表 1 c17 测试结果

故障	M 序列的 G16/G17	G16/G17 混沌序列	G16/G17 混沌序列	G16/G17 混沌	Min 混沌迭	故障隔离
	故障特征码	故障特征码	无故障特征码	迭代次数	代次数	
G1_0	1106/6634	80D7/223F	00D2/223F	13/200	13	9151/223F
G2_0	2B6A/3FCE	0000/0000	8005/8005	8/8	8	3DEE/46AA
G3_0	274E/5570	80D7/B43E	00D2/343B	13/48	13	B004/9C99
G4_0	2E5C/5570	FE92/B43E	7E97/343B	49/18	18	CF40/9C99
G5_0	3A6C/1106	70A3/035C	70A3/8359	200/15	15	70A3/9151
G8_0	5002/6634	8005/223F	0000/223F	2/200	2	6676/223F
G9_0	2B6A/0000	0000/0000	8005/8005	8/8	8	3DEE/0000
G12_0	5002/5002	8005/8005	0000/0000	2/2	2	6676/6676
G15_0	3A6C/5002	70A3/8005	70A3/0000	200/2	2	70A3/6676
G16_0	0000/6634	0000/223F	8005/223F	8/200	8	0000/223F
G17_0	3A6C/0000	70A3/0000	70A3/8005	200/8	8	70A3/0000
G1_1	9381/6634	000A/223F	800F/223F	9/200	9	730B/223F
G2_1	24C2/03B6	8005/8005	0000/0000	2/2	2	D995/EBF2
G3_1	C706/F345	8005/81AB	0000/01AE	7/14	7	0311/1D9D
G4_1	AB4C/3411	006C/006C	8069/8069	12/12	12	16E7/B515
G5_1	3A6C/03B6	70A3/8005	70A3/0000	200/2	2	70A3/EBF2
G8_1	1106/6634	80D7/223F	00D2/223F	13/200	13	9151/E515
G9_1	2E5C/5570	FE92/B43E	7E97/343B	18/49	18	CF40/1D9D
G12_1	2B6A/3FCE	0000/0000/	80058005	8/8	8	3DEE/0000
G15_1	3A6C/1106	70A3/035C	70A3/8359	200/15	15	70A3/A2A7
G16_1	5002/6634	8005/223F	0000/223F	2/200	2	6676/223F
G17_1	3A6C/5002	70A3/70A3	8005/0000	200/2	2	70A3/6676

2.2 时序电路测试分析

标准时序测试电路 ISCAS’89 中的 s27 包含一个时钟控制端 CK 和 4 个信号输入端 G0,G1,G2,G3 和一个可观测输出端 G17 等 17 个节点,因此共有 34 个故障.与组合电路不同的是时序电

路的输入激励需要保持被测时序电路时钟的 20 个周期,以确保时序电路有足够的时钟周期进行状态转换.

表 2 给出了 s27 的测试结果.其中响应输出采用 CRC 多项式 $x^{16} + x^2 + 1$ 作为响应分析.表中

表 2 s27 测试结果

故障	M 序列故障特征码	混沌序列故障/无故障特征码	混沌迭代次数	故障	M 序列故障特征码	混沌序列故障/无故障特征码	混沌迭代次数
G0_0	1003	0808/880D	11	G0_1	8002	8401/0404	10
G1_0	1AF3	01AA/81AF	16	G1_1	8002	8401/0404	10
G2_0	8002	8401/0404	10	G2_1	9B02	EBD1/EBD1	1024
G3_0	8002	8401/0404	10	G3_1	8B01	0000/8005	2
G5_0	9B02	EBD1/EBD1	1024	G5_1	8002	8401/0404	10
G6_0	9B02	C06D/4068	14	G6_1	4D79	0000/8005	2
G7_0	9B02	EBD1/EBD1	1024	G7_1	8002	8401/0404	10
G8_0	9B02	C06D/4068	14	G8_1	0000	0000/8005	2
G9_0	0000	0000/8005	2	G9_1	8002	8401/0404	10
G10_0	1B07	EBD1/EBD1	1024	G10_1	8002	8401/0404	10
G11_0	8002	8401/0404	10	G11_1	0000	0000/8005	2
G12_0	8002	8401/0404	10	G12_1	1AF3	01AA/81AF	16
G13_0	9B02	EBD1/EBD1	1024	G13_1	8002	8401/0404	10
G14_0	8002	8401/0404	10	G14_1	1003	0808/880D	11
G15_0	9B02	8401/0404	10	G15_1	1AF3	01AA/81AF	16
G16_0	8002	8401/0404	10	G16_1	8B01	0000/8005	2
G17_0	8002	0000/8005	2	G17_1	8002	8401/0404	10

M 序列的无故障特征码为“9B02”,因此可计算出 M 序列作为测试激励的故障检测率为 $27/34 = 79.41\%$,而 Tent 混沌迭代序列最大可达 85.29% .表3给出了针对 s27 不同迭代次数故障检测率的关系.通过实验验证,s27 的 G2_1,G5_0,G7_0,G10_0 和 G13_0 等 5 个故障为冗余故障,无法检测.又由于混沌序列具有初值敏感性,即改变初值能够产生完全不同的随机序列,因此,在某些情况下可以通过施加不同的混沌序列作为测试激励来提高故障的检测率.

表 3 s27 混沌迭代次数与检测率关系		
混沌迭代次数	检测故障数	故障检测率/%
2	7	20.59
10	22	64.71
11	24	70.59
14	26	76.47
16	29	85.29

3 结 语

提出了一种基于改进的 Tent 混沌序列的数字电路 BIST 技术.该方法通过混沌 Tent 模型映射生成随机序列,并构建硬件电路作为 BIST 的测试图形生成电路,通过 CRC 响应特征分析电路给出故障相应的特征码.实验研究表明本文提出的改进 Tent 混沌序列具有良好的随机特性,在经过很少的迭代次数就能产生很高的故障检测率和故障隔离率.所提出的方法适合于一般的数字逻辑电路以及 FPGA 等 VLSI 的内核功能的自动测试.

参考文献:

[1] FUJIWARA H. A new class of sequential circuits with combinational test generation complexity [J]. IEEE Transactions on Computers, 2000, 49(9):895-904.

[2] YEEOOI C, FUJIWARA H. A new class of sequential circuits with acyclic test generation complexity [C]//International Conference on Computer Design. San Jose; San Jose' State University, 2007:425-431.

[3] HIKEUNG T, SRINIVAS D, NEWTON R A, *et al.* Test generation for sequential circuits [J]. IEEE, Transaction on Ransation on Computer-Aided Design, 1988, 7(10):1081-1092.

[4] FU M. Minimal memory inverses of linear sequential

circuits [J]. IEEE Transactions on Computers, 1974, C-23(11):1155-1163.

[5] 顾德均. 航空电子装备修理理论与技术 [M]. 北京:国防工业出版社, 2001:19-20.

[6] 丁瑾. 可靠性与可测性分析设计 [M]. 北京:北京邮电出版社, 1996:106-118.

[7] SCHOTTEN C, MYER H. Test-point insertion for an area-efficient BIST [C]//Proceedings of International Test Conference. Washington, DC: Aachen Univ of Technol, 1995:515-523.

[8] CHEN C, GUPTA S K. A methodology to design efficient BIST test pattern generations [C]//Proceedings of International Test Conference. Washington, DC: IEEE Computer Society, 1995:814-823.

[9] AHMAD A A, MITR S, MCCLUSKEY E J. BIST re-seeding with very few seeds [C]//VLSI Test Symposium. California: Center for Reliable Comput, Stanford Univ, 2003:69-74.

[10] JESSA M. The period of sequences generated by tent-like maps [J]. IEEE Transactions on Circuits and Systems—I: Fundamental Theory and Applications, 2002, 49(1):84-89.

[11] STOJANOVSKI T, KOCAREV L. Chaos-based random number generators-part I: analysis [J]. Analysis. IEEE Transaction on circuits and systems—I: Fundamental theory and applications, 2001, 48(3):281-288.

[12] STOJANOVSKI T, PIHL J, KOCAREV L. Chaos-based random number generators-part II: practical realization [J]. IEEE Transaction on circuits and systems—I: Fundamental theory and applications, 2001, 48(3):382-385.

[13] KATZ O, RAMON D A, WAGNER I A. A robust random number generator based on a differential current-mode chaos [J]. IEEE Transactions on very large scale integration (VLSI) systems, 2008, 16(12):1677-1686.

[14] BULS J. Construction of pseudo-random sequences from chaos [C]//COC, St. Petersburg: Univ of Latvia, 2000: 558-560.

[15] JESSA M. Combined pseudochaotic psudorandom generator [C]//ICSES 2008 International conference on signals and electronic systems. Krakow: Poznan Univ of Technol, 2008:257-260.

(编辑 赵丽莹)