小卫星 PD 姿态控制器 IP 核的 FPGA 实现

丁玉叶1, 兰盛昌2, 华伊1, 李梦立2, 潘瑞1, 徐国栋1,2

(1. 哈尔滨工业大学 电子与信息工程学院,150001 哈尔滨; 2. 哈尔滨工业大学 航天学院,150080 哈尔滨)

摘 要:针对现代小卫星在姿态控制系统中对运算速度、控制精度等方面提出的更高要求,分析了利用 FP-GA 来实现卫星姿态 PD 控制器的可行性,提出用输入使能端及输出标志符号对内部各计算模块进行控制以 解决数据同步问题.利用硬件描述语言进行了各模块功能的实现,并最终例化为 PD 控制器 IP 核.结果表明 该设计只需 34 个时钟脉冲即可完成姿态控制力矩的计算,控制精度达到 10⁻⁵量级,速度及精度满足现代小 卫星对控制系统的要求. 关键词:卫星姿态控制;FPGA;IP 核;PD 控制律

中图分类号: TP3332 文献标志码: A 文章编号: 0367 - 6234(2012)09 - 0040 - 06

The FPGA implementation of IP core of PD attitude controller for small satellites

DING Yu-ye¹, LAN Sheng-chang², HUA Yi¹, LI Meng-li², PAN Rui¹, XU Guo-dong^{1,2}

(1 School of Electronic And Information Engineering, Harbin Institute of Technology, 150001 Harbin, China;2. School of Aerospace, Harbin Institute of Technology, 150080 Harbin, China)

Abstract: In the sight of the higher requirement about operation speed and control accuracy in satellite attitude control system, this paper analyzed the feasibility of PD attitude controller by using FPGA, and proposed a method using the input enable and the output control symbol to dominate the internal calculation module to figure out the problem of data synchronization. The paper used hardware description language to achieve the function of each module, and finally instantiated the IP core of PD controller. The result shows that the design is able to accomplish the calculation of attitude control torque by only using 34 clock pulses and the accuracy of control can reach 10^{-5} magnitude. The speed and accuracy meet the needs of the modern small satellite control system and lay the foundation for using FPGA implementation in small satellite attitude control system. **Key words**: satellite attitude control; FPGA; core of IP; control law of PD

卫星姿态控制系统是在轨卫星保持特定姿态 完成特定功能的重要保障,因此对卫星姿态控制 器输出力矩的计算速度及精度有着较高的要求.

然而小卫星在轨运行时,需要处理的数据多、 任务复杂,加之中断频繁发生,使得单靠传统处理 器对姿态进行控制时,控制周期受到较大限制,性

作者简介:丁玉叶(1988—),男,博士研究生; 徐国栋(1961—),男,教授,博士生导师. 能难以大幅度提高.现代小卫星体积小、重量轻、 功耗低^[1],如何在有限的资源及重量等方面的要 求下设计出结构简单、计算速度快及可靠性高的 姿态控制系统成为难点问题.利用 FPGA 可重构 的特点及并行运算的优势解决航天问题成为研究 的热点^[2-4].目前,国内外已有多颗卫星成功将 FPGA 用于航天领域,包括澳大利亚 2002 年 12 月 发射的 FedSat-1 卫星以及 Stuttgart 大学实施的一 项叫做 Stuttgart Small Satellite Program 的小卫星 计划中的第一颗小卫星 Flying Laptop,这项计划 主要是对未来小卫星的新技术验证.基于 FPGA 的星载计算机便是其中的一项创新技术^[5].将 FPGA 应用于卫星姿态控制系统也得到了国内外 航天领域的重视,相关工作已展开.文献[6-7]

收稿日期: 2011-09-15.

基金项目: 国家自然科学基金资助项目(60904051);中国博士后 科学基金资助项目(20090450126);微小型航天器技 术国防重点实验室开放基金资助项目(HIT. KLOF2009091).

通信作者: 丁玉叶, dyytianzhijiaozi@gmail.com.

都对该问题进行了探讨,并取得了一定成果,但是 两者接口选取的数据形式为定点数,与外部系统 不宜转换,并且在计算精度方面不能满足要求,计 算速度较慢.

为了更好的解决上述问题,本文所设计的小 卫星 PD 姿态控制器 IP 核采用输入使能信号与输 出标志符号进行内部计算控制,解决了数据不同 步问题,避免了模块间数据延迟造成的处理速度 的降低,可以快速计算出输出力矩,满足速度及精 度要求.该 IP 直接采用 32 浮点数数据形式进行 计算,精度高,同时外部计算机系统的单精度或双 精度转换为浮点数较为容易.

1 姿态控制器的设计

目前,卫星上实际应用的姿态控制技术主要 为 PID 或改进 PID 控制,此外最优控制方法、变结 构控制方法、鲁棒控制方法、自适应控制方法、智 能控制等先进控制方法等也逐渐被应用^[8-9]. PID 控制中微分信号的引入可提高系统的通频带,加 速系统的响应速度,加速消除误差,积分信号可以 提高稳定精度,但会出现积分饱和现象,影响控制 效果;变结构控制适合非线性系统控制,可靠性 强,但是易抖动,影响姿态控制的精度;鲁棒控制 适用于将稳定性和可靠性作为首选的系统,但由 于一般不工作在最优状态,因此稳态精度差;全系 数自适应控制方法以其控制品质好、适应性强和 鲁棒性强等优点,已在实际工业控制中取得了成 功的应用,但采用 FPGA 实现控制方法较为复杂; 智能控制从提出以来已解决了一些传统控制技术 难以解决的问题,而且大大提高了控制性能,受到 了人们的极大关注,但缺乏经典控制和现代控制 理论那些严格的理论体系和设计方法. PD 控制定 律形式简洁,适合硬件编程实现快速控制,稳定精 度高,因此本文涉及的卫星姿态控制器主要是对 常用的 PD 控制律利用 VHDL 进行设计. 主要包 括 PD 控制律的数学模型及接口设计,模块划分 及设计.

1.1 PD 控制律数学模型及接口设计

采用欧拉角反馈的 PD 控制律可以表示如式 (1) 所示:

$$\begin{cases} T_{\rm ex} = k_{\rm p}(\varphi_{\rm c} - \varphi) - k_{\rm d}\omega_{\rm x}, \\ T_{\rm ey} = k_{\rm p}(\theta_{\rm c} - \theta) - k_{\rm d}\omega_{\rm y}, \\ T_{\rm ez} = k_{\rm p}(\psi_{\rm c} - \psi) - k_{\rm d}\omega_{\rm z}. \end{cases}$$
(1)

其中: k_{p} 、 k_{d} 为比例常数; φ_{e} 、 θ_{e} 、 ψ_{e} 为3个控制通道 的标准角度; φ 、 θ 、 ψ 为3个通道的实时角度; ω_{x} 、 ω_{y} 、 ω_{z} 为3个通道的实时角速度, T_{ex} 、 T_{ey} 、 T_{ez} 为3 个输出力矩.

由上式可见 PD 控制律完成的是1个计算功 能,因此需要综合考虑计算速度、精度及数据转换 难易选取合理的数据形式. IEEE 标准 754 有基本 的单精度格式浮点数^[10],但是由于规格化尾数在 小数点前有隐藏的1,进行计算需要先将其移出, 计算麻烦且浪费资源,同时单精度格式阶码表数 在1~254(偏移 127),在进行阶码计算操作时需 要考虑偏移,增加运算所需时钟周期数,因此在基 本单精度格式上自定义一种 32 位浮点数,该浮点 数表示精度高、计算过程明确,并且进行单精度或 双精度浮点数与 32 位浮点数转换非常容易,因此 设计中数据均表示为 32 位浮点数.

32 位浮点数的基本格式如图 1 所示.

S E[30:2	E3] F[22:0]
----------	-------------

图 1 32 位点数的基本格式

图中S表示符号位,0代表正数,1代表负数; E[30:23]代表阶码,为指数项;F[22:0]代表 尾码.

阶码采用移码表示,尾码采用无符号二进制 数原码表示.

数字'0'的意思是只要尾码 F[22:0]全为0,则表示该浮点数大小为'0'.其表示的实际数值为

 $V_{\rm Val} = (-1)^{s} \times 0. F \times 2^{E}.$

32 位浮点数在作加、减法运算时,小数点必须是对齐的,所以阶码不相等的两个浮点数不能 直接进行加、减运算.浮点数加减运算的步骤 如下:

1) 对阶. 通过比较阶码大小选择较大者作为 结果阶码,同时通过两者差值移动阶码较小数的 尾码,使两个操作数小数点对齐.

2) 尾码求和. 将对阶后的两个尾数按照定点数的运算规则求和、差.

3)规格化.保证尾码的第1个有效数字是1.

4) 舍入. 精度要求较高时考虑.

5)溢出判断. 主要表现为阶码的溢出,由于 阶码最大为127,此时表示的十进制数字很大,因 此可以不考虑溢出.

两个浮点数相乘,其乘积的阶码是两个数的 阶码之和,尾码是两个操作数尾码之积.所以浮点 数的乘法运算也要经过如下5个步骤:

1) 阶码相加. 求出结果的阶码.

2) 尾码相乘. 求出结果的尾码.

3)规格化.由于尾码相乘结果尾数较多,需 要通过规格化选择23位作为结果的尾码,同时移 动阶码.

4) 舍入. 精度要求较高时考虑.

5)溢出判断. 主要表现为阶码的溢出,由于 阶码最大为127,此时表示的十进制数字很大,因 此可以不考虑溢出.

1.2 PD 控制律的计算流程及控制设计

由于控制定律在3个方向具有相同的数学形式,因此在FPGA 层次化设计中可以只设计其中1个方向,通过顶层模块的三次并行调用完成3 个方向的控制功能.

由控制定律的形式可见,整个运算过程中涉 及到两次加减法运算和两次乘法运算,因此中间 模块包括加法器模块及乘法器模块,如图2所示. 利用元件例化语句通过顶层模块按顺序依次调用 加法模块和乘法模块可以完成输出力矩的计 算^[11].由于选取的数据形式为32位浮点数,而浮 点数的加法及乘法是按照特定的步骤完成的,因 此最底层模块可以按照加、乘法的运算步骤共划 分7个模块.层次划分、模块划分及各模块完成功 能如图2所示.



(b) 加法器计算流程



(c) 乘法器计算流程

图 2 层次划分、模块划分及各模块完成功能

由图2可知通过输入端口输入数据会传递给 中间加法器及乘法器模块,中间加法器及乘法器 模块会分别将该数据按照流程图2、3顺序或并行 的传递给底层模块进行各步骤的计算,底层模块 会将最终的输出结果返回给顶层模块,并最终输 出.整个计算过程中各个模块设置3个输入使能 信号及1个输出控制信号,其中1个输入使能端 接全局复位信号,另外两个接前面模块的输出控 制信号(当前面只有1个模块时,两个使能端均 接该模块),上一个(多个)模块或顶层的模块的 输出控制信号接下一个(多个)模块或底层模块 的使能端,当各模块完成功能后将输出控制信号 置高电平(及下一模块使能端置高电平),当所有 使能端都为高电平时,模块才允许计算,这样可以 保证各模块间的顺序或并行运算,解决了中间计 算数据不同步的问题.

1.3 仿真验证

根据上面定律的数学形式、选取的数据形式 以及流程和模块划分利用 VHDL 进行编程,所有 底层模块采用进程并行语句时钟触发,首先判断 使能端是否为高电平以决定是否启动该模块,其 次判断时钟是否为高电平,为高电平时进行本模 块计算,保证时序同步;各同级模块之间通过端口 映射级联;上下级模块间通过元件例化进行调用, 各模块编程设计所用时间如表1所示.

表1	底层模块设计及所用时间
----	-------------

模	块名称	时间/时钟周期
	求阶差	1
4n >+ 58	移尾码	1
川石市	尾码加	1
	规格化	1
	阶码加	1
乘法器	尾码乘	24
	规格化	1

加法器各模块顺序运算,所以完成一次加法 需要4时钟周期;由于乘法器的阶码加与尾码乘 并行运算,所以这两个模块所用时间为24时钟周 期,因此完成一次乘法需要25时钟周期;由 图2(a)知,在最后一次加法完成前,存在并行运 算,因此之前3次计算所用时间为一次加法及一 次乘法所用时间即29时钟周期,所以整个计算过 程需要34时钟周期.

仿真结果如图 3 所示(时钟周期 1 μs).由仿 真结果可以看出,在第 34 个时钟周期到来时完成 整个计算得出输出力矩.满足卫星姿态快速控制 要求.

综合后得到 RTL 图如图 4 所示: RTL 图表明 各模块间运算关系、顶层与底层模块的接口连接 符合设计的要求,形成了模块化的 PD 控制器.



(c)乘法器底层模块级联图 4 综合所得模块级联 RTL 视图

2 仿真验证及结果分析

由仿真图 2 可知完成计算共需 34 个时钟周 期,计算速度快,满足卫星姿态控制器对时间的要 求,但是手动输入角度及角速度效率低,并且不能 输入连续的角度及角速度,导致无法全面的对该 IP 核计算准确度进行验证,另外需要考虑实时性 问题.因此需要进行联合仿真和实时仿真对所设 计 IP 核的稳定精度及实时计算速度进行验证.

2.1 联合仿真系统模型

利用 Matlab 的 M 文件编写的 S-function 和 Simulink 模块建立微小卫星姿态控制仿真系统, 其总体框架如图 5 所示.该仿真系统主要包括卫 星运动学模块,卫星动力学模块,PD 控制定律模 块.其中 PD 控制模块内部包括输入输出转换模 块.PD 控制定律模块链接到 Modelsim 中具体的 HDL 实体.

将 Matlab 与 Modelsim 连接时, Matlab 作为服 务器, 而 Modelsim 作为客户端, Matlab 对 Modelsim 仿真器发出的服务请求做出响应, 建立通信连接, 并调用1个具体的封装函数对在 Modelsim 下仿真 的 HDL 模型进行数值计算和验证分析^[12].



图 5 联合仿真模型

由于外部模型数据均采用 IEEE 标准 754 中 基本双精度浮点数,因此需要进行数制转换.首先 需要将基本双精度与基本单精度浮点数进行转 换,利用强制转换函数将基本双精度浮点数与基 本单精度浮点数转换.再利用 C 语言编写转换函 数,将基本单精度浮点数与 32 位浮点数进行转 换.转换流程如图 6.

2.2 联合仿真端口设置

联合仿真模块的参数对话框包括输入输出端 口设置、时钟周期及触发方式设置、Simulink 与 Modelsim 仿真时间的对应关系、Simulink 与 Modelsim 的连接方式,以及仿真前后执行的 TCL 命令 5 个部分,其中连接方式采用 TCP/IP 套接字 (TCP/IP socket)方式,TCL 命令可以不设置.本硬 件姿控仿真模块其他具体参数设置如表 2~4 所示.





(a) 输入转换流程



(b)输出转换流程图 6 输入、输出转换流程

表 2 联合仿真输入输出端口设计

HDL 实体端口	输入/输出	采样时间/s
/pd/anglex	Input Inherit	
/pd/angley	Input Inherit	
/pd/anglez	Input Inherit	
/pd/wx	Input Inherit	
/pd/wy	Input	Inherit
/pd/wz	Input	Inherit
/pd/Tkx	Output	0.1
/pd/Tky	Output	0.1
/pd/Tkz	Output	0.1
/pd/reset	Input Inherit	
表 3	表3 联合仿真时钟设置	
HDL 时钟名称	触发方式	周期/s
4 14 11	D' '	0.000.00

/ pd/ clk	Rising	0.000.02
表 4	联合仿真时间对应设置	
Simulink/s	HE	DL Simulator∕s
1		0.1

2.3 联合仿真结果及分析

建立如表 5 所示的实时仿真参数,仿真后所 得结果如图 7 所示.

= <i>5</i>	DD	十六 生正		止古	去;	¥P
表う	PD	七字 市	头町	1万旦	- 豕4	۶N

参数	参数值
转动惯量矩阵	$\begin{bmatrix} 50 & 0 & 0 \\ 0 & 50 & 0 \\ 0 & 0 & 50 \end{bmatrix}$
$K_{ m p}$	25
$K_{ m d}$	60
初始角度	$[0 \ 0 \ 0]$
初始角速度	$[0\ 0\ 0]$



可见,3个方向的姿态角度都是从0°开始,在 经过50次计算后使控制角度接近于0.3°,在经 过100次计算后使卫星姿态角度达到基本等于 0.3°,误差如图8.



由图 8 可知达到稳定后实时角度与控制标准 角度的绝对误差远低于 10⁻⁵数量级,能够满足中 高精度指向卫星的姿控要求.说明本文设计的姿 控算法的 FPGA 实现可以在精度方面满足卫星对 姿态控制的需要.

2.4 实时仿真验证

前面利用 Matlab 与 Modelsim 进行了联合仿 真验证,得到较好的结果,但以上仿真均是非实时 性的仿真,与实际系统的工作有一定的差别.建立 基于 PC/104 和 FPGA 的实时系统仿真平台,可以 很好的检验该设计的实用性.

利用 CAN 总线将 xPC 实时仿真机和基于 FPGA 的嵌入式处理器连接起来.并将 PC 机接入 CAN 总线,用于监视 CAN 总线上的数据.在 PC 机上利用 Matlab/Simulink 将卫星姿态动力学、姿 态运动学模型转换成 RTW 代码,下载到实时仿 真机中;同时在 PC 机上利用 Xilinx FPGA EDK 软 件,将 PD 算法 IP 核添加到 MicroBlaze 嵌入式处 理器中,生成姿态控制器,下载到 FPGA 开发板 中,进行实时仿真验证.利用 CAN 总线向处理器 发送姿态参数,处理器调用 PD 控制器进行 100 000 次计算,之后将结果返回给 CAN 总线,通 过时间差可以求得实时计算所需时间,计算时间 测试结果如表 6 所示.

表6 实时仿真计算时间

实时仿真所需时间/μs
480 016.000 00
4.800 16

通过基于 PC/104 和 FPGA 之间的实时系统 仿真可以看出实时仿真计算时间较短,说明使用 FPGA 进行计算速度较快.说明本文设计的姿控 算法的 FPGA 实现可以提高计算速度以满足卫星 对姿态控制的需要.

3 结 论

卫星姿态控制器快速精确的进行输出力矩计 算是姿态控制的关键,而利用 FPGA 并行运算的特 点来实现卫星姿态控制定律,通过设计输入使能信 号及输出标志符号解决数据同步问题,能够大大缩 短运算时间,满足了高精度观测等姿态控制系统高 响应速度的要求,并且所选 32 位浮点数精度高,计 算舍入误差小,大大提高了输出力矩的计算精度. 此外采用模块化实现的 PD 控制律 IP 方法可以重 复利用,大大缩短了研发周期,减少了成本,有效地 满足了航天器对时间成本及质量的要求.

参考文献:

- [1] JILLA C D, MILLERR D W. Satellite design: past, present and future [J]. International Journal of Small Satellite Engineering, 1997, 1(1):234 - 240.
- [2] SALCIC Z, LEE C R. FPGA-based adaptive tracking estimation computer [J]. IEEE Transactions on Aerospace and Electronic Systems, 2001,37(2):699 – 706.
- [3] DEUTSCHMANN J, BAR-ITZHACK I Y. Extented Kalman filter for the ocean topography experiment satellite [C]//Flight Mechanics and Estimation Theory Symposium. Washingtong, DC: NASA, 1989:333 - 345.
- [4] SHUSTER M D. Efficient estimation of attitude sensor coalignments [C]//Proceedings of the AIAA/AAS Astrodynamics Conference. Washington, DC: AIAA, 1994: 45-53.
- [5] 武文权.可重构并行小卫星星载计算机体系结构设计[D].上海:中国科学院研究生院,2004:1-9.
- [6] 谢祥华. 微小卫星姿态控制系统研究[D]. 南京:南 京航空航天大学, 2007:64-87.
- [7] 戴彦. 基于 FPGA 的卫星姿态控制系统的设计与仿 真[D]. 哈尔滨:哈尔滨工业大学, 2007:42-50.
- [8] WEI X, GUO L. Composite disturbance-observer-based control and H_x control for complex continuous models
 [J]. Int J Robust Nonlinear Control, 2010,20(1):106-118.
- [9] BOLONKIN A A, KHOT N S. Optimal bounded control design for vibration suppression [J]. Acta Astronaut, 1996,38(10):803-813.
- [10]覃 霖, 曾 超. 基于 VHDL 实现单精度浮点数的加/ 减法运算[J]. 电子工程师,2008,34(7):52-53.
- [11] 詹仙宁. VHDL 开发精解与实例剖析[M]. 北京:电子 工业出版社,2009:9.
- [12]范静,陈文艺. 基于 Modelsim 与 Matlab/Simulink 联 合仿真技术的接口与应用研究[J]. 西安邮电学院学 报,2010,15(3):73-74.

(编辑 张 宏)