

DOI: 10.11918/j.issn.0367-6234.201803148

# 一种结合高分辨率 TDC 的快速全数字锁相环设计

侯 强, 揭 灿, 姚亚峰, 钟 梁

(中国地质大学(武汉)机械与电子信息学院, 武汉 430074)

**摘 要:** 针对时间数字转换器(Time-to-Digital Converter, TDC)的分辨率较低, 全数字锁相环(All Digital Phase-Locked Loop, ADPLL)锁定参考信号的时间较长等问题, 提出一种在高精度 TDC 基础上快速实现锁定的全数字锁相环。提出的时间数字转换器运用抽头延迟线法和双通道差分延迟线法提高量化精度, 采用对称式层次型结构实现对负时间间隔的量化, 设计的相调电路将量化的脉冲信号还原为时间长度信号, 通过状态机对反馈信号的相位提前或延迟, 实现对参考信号的快速锁定, 在环路锁定后使用下降沿检测电路适时关闭鉴频鉴相器和时间数字转换器, 降低整体电路的功耗。在 Xilinx KC705 开发平台上进行仿真与验证, 并在 Xpower 软件上与传统的基于游标尺链型的全数字锁相环进行功耗对比分析。结果表明, 此全数字锁相环的量化误差控制在 0.2 ns 之内, 反馈信号可在 3 个参考信号时钟周期内快速锁定参考信号, 整体电路功耗相比传统的基于游标尺链型的全数字锁相环降低约 18.1%。本文提出的全数字锁相环具有实时性强、锁定速度快、量化精度高、功耗低等优势, 更适用于高速、低功耗的现代数字通信系统。

**关键词:** 全数字锁相环; 时间数字转换器; 数控振荡器; 抽头延迟线法; 双通道差分延迟线法

**中图分类号:** TN492

**文献标志码:** A

**文章编号:** 0367-6234(2018)11-0083-06

## A fast all digital phase-locked loop design with high resolution TDC

HOU Qiang, JIE Can, YAO Yafeng, ZHONG Liang

(School of Mechanical and Electronic Information, China University of Geosciences, Wuhan 430074, China)

**Abstract:** Aiming at the problems that time-to-digital converter(TDC) suffers a low resolution and all digital phase-locked loop(ADPLL) takes a longer time to lock reference signal, this paper proposes a fast locking ADPLL based on high precision TDC. The new TDC employs tapped delay line method and double-channel differential delay line method to improve quantization accuracy, and uses symmetric hierarchical structure to quantize negative time interval. Meanwhile, the proposed phase modulation circuit recovers quantitative pulse signal into time span signal, and advances or delays phase of feedback signal by state machine to achieve fast locking on reference signal. Moreover, it applies detection circuit of falling edge to turn off phase frequency detector and TDC, which reduce the power consumption of the entire circuit at proper time. Simulation and verification are carried out in the Xilinx KC705 development kit, and contrastive analysis on power consumption is provided between new design and traditional ADPLL based on vernier chain in Xpower software. The results show that quantization error of new ADPLL is restricted within 0.2 ns. Besides, feedback signal can rapidly lock the reference signal in three reference signal clock periods. Power consumption of the overall circuit is cut down by approximately 18.1% compared to traditional ADPLL based on vernier chain. The proposed ADPLL has the advantages of strong real-time performance, high locking speed, high quantitative precision and low power consumption, and it is more applicable for modern digital communication systems that demand for high speed and low power consumption.

**Keywords:** all digital phase-locked loop; time-to-digital converter; digital controlled oscillator; tapped delay line method; double-channel differential delay line method

锁相环(Phased-Locked Loop, PLL)作为能够跟踪输入信号的相位反馈自动控制系统<sup>[1]</sup>, 其结构能用于实现对三相电压不平衡的补偿控制<sup>[2]</sup>和构造磁极位置检测电路<sup>[3]</sup>; 其控制方法可用于连续相位调制载波导航卫星信号的设计<sup>[4]</sup>, 因而受到广泛

的研究。随着数字电路的发展, 全数字锁相环(All Digital Phase-Locked Loop, ADPLL)由于具有可移植性强、配置灵活、设计周期短等优点, 因此成为锁相环技术发展的重要趋势, 能广泛用于全数字闭环角度解算算法设计<sup>[5]</sup>和基于全数字锁相环的激光通信 PPM 调制解调系统的设计<sup>[6]</sup>。开发高性能的全数字锁相环是现代集成电路发展的迫切需求, 且全数字锁相环电路中的时间数字转换器(Time-to-Digital Converter, TDC)结构是目前的研究热点之

收稿日期: 2018-03-27

基金项目: 国家自然科学基金(61601334); 中央高校军民融合专项基金培育项目(201708)

作者简介: 侯 强(1973-), 男, 副教授, 硕士生导师

通信作者: 姚亚峰, zhongguodidawm@163.com

—[7].

时间数字转换器作为影响全数字锁相环性能优劣的重要电路,许多学者对 TDC 电路提出改进.文献[8]中传统的多时钟多相位 TDC 结构以消耗较多的硬件资源来保证动态范围,但存在量化精度低的问题.文献[9]中基于时间间隔放大器的分数指数型的 TDC,使用级联的时间放大器放大相位差信号,因而分辨率具有一定的提高,但是环路的锁定时间较长.文献[10]中提出的基于自由环形振荡器的多相位型 TDC,虽然能够有效改善电路的动态范围,但是量化脉冲信号的分辨率较低.文献[11]中设计的基于游标尺链型的 TDC 是利用两个分辨率比较接近的延时线对两路输入信号的时序进行比较和量化,在量化精度和硬件资源消耗上比传统的多时钟多相位 TDC 结构都有一定的改善,因而具有一定的代表性和优越性.

本文在文献[11]中 TDC 的基础上结合抽头延迟线法、双通道差分延迟线法、对称式层次型结构等手段,提出了一种三步对称式层次型时间数字转换器设计.该 TDC 将量化过程分为粗调、一级精调、二级精调三部分,分别对应采用计数器结构、抽头延迟线结构、双通道差分延迟线结构.在基于游标尺链型 TDC 的一级结构基础上扩展为三级对称式量化结构,提高了量化相位差的精度,解决了不能对负时间间隔量化的问题.将游标尺链型结构优化为双通道差分延迟线结构,缩短了游标尺链型结构的链路长度,降低了量化相位差的不确定度.同时,提出的相调电路通过状态机灵活调节反馈信号的低电平时间,在 3 个参考信号时钟周期内快速调整相位达到锁定状态.最后,在环路锁定后,采用下降沿检测电路适时关闭暂时不需要的电路,降低整体电路的功耗.

## 1 全数字锁相环整体电路设计

### 1.1 整体电路结构

ADPLL 的经典结构通常由鉴频鉴相器 (Phase and Frequency Detector, PFD)、时间数字转换器 (TDC)、数字环路滤波器 (Digital Loop Filter, DLF) 与数控振荡器 (Digital Controlled Oscillator, DCO) 等部分组成.本设计中的 ADPLL 原理框图见图 1,与经典结构相比较,增加了频率检测电路 (Frequency Measurement, FM).整体电路的基本工作原理如下:首先 FM 电路量化参考信号  $F_{ref}$  的频率,产生频率控制字  $N_0$ ,然后 DCO 根据  $N_0$  值的大小进行分频,产生与参考信号同频但具有一定相位差的反馈信号  $F_{bk}$ ,然后 PFD 比较参考信号与反馈信号的相位,输

出相位差信号  $S_{up}$  和  $S_{dn}$ ,相位差信号通过 TDC 量化后输出量化结果  $T_{out}$ ,再经过 DLF 滤波后输出 DCO 的调节控制字  $K_{cn}$ ,DCO 中的相调电路根据调节控制字的大小调整反馈信号的相位,最终实现对参考信号的快速锁定.在环路锁定后,DCO 中的下降沿检测电路适时将使能信号  $E_{pfd}$ 、 $E_{tdc}$  置低,关闭 PFD 和 TDC,降低环路的功耗.

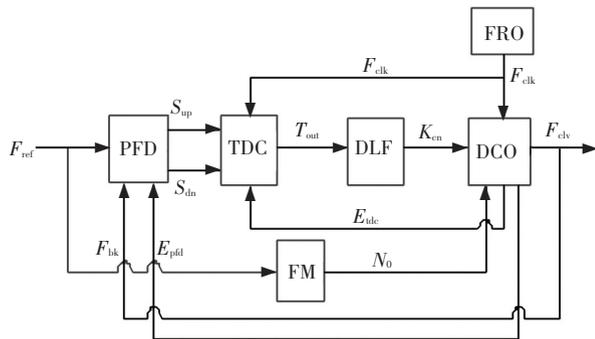


图 1 ADPLL 原理框图

Fig.1 Principle diagram of ADPLL

### 1.2 鉴频鉴相器

鉴频鉴相器的作用是比较参考信号  $F_{ref}$  与反馈信号  $F_{bk}$  之间的相位,并输出两者之间的相位差<sup>[12]</sup>.鉴频鉴相器输出信号  $S_{up}$  和  $S_{dn}$  的符号反映了当前反馈信号“超前”还是“滞后”参考信号,其高电平的长度反映了参考信号与反馈信号之间的相位差大小,因此通过输出信号即可判断相位差的大小和极性.

### 1.3 时间数字转换器

时间数字转换器的功能是以一定的精度对输入的脉冲信号进行量化,将携带时间信息的脉冲信号转换为数字信号,从而实现对时间信息的测量<sup>[13]</sup>,其分辨率决定了环路中参考信号与反馈信号频率的接近程度<sup>[14]</sup>.

传统的游标尺链型结构见图 2,此结构只能量化当  $S_{start}$  信号“超前” $S_{stop}$  信号时的正时间间隔.其基本工作原理如下: $S_{start}$  信号和  $S_{stop}$  信号为鉴频鉴相器检测输出的相位差信号,当  $S_{start}$  信号与  $S_{stop}$  信号分别沿着上下两条延时线传播时,每经过一级延时单元,它们之间的相位差就会减小  $t_1 - t_2$ .当  $S_{start}$  信号滞后  $S_{stop}$  信号时,D 触发器的输出为 0;当  $S_{start}$  信号超前  $S_{stop}$  信号时,D 触发器的输出为 1.  $d_0$  到  $d_n$  为输出的温度码, $S_{start}$  信号与  $S_{stop}$  信号之间的初始相位差为  $T_{IN}$ ,温度码中最后一个 0 出现在第  $n$  级,则 TDC 所量化输出的相位差与初始相位差之间的关系为

$$n \times (t_1 - t_2) \leq T_{IN} < (n + 1) \times (t_1 - t_2). \quad (1)$$

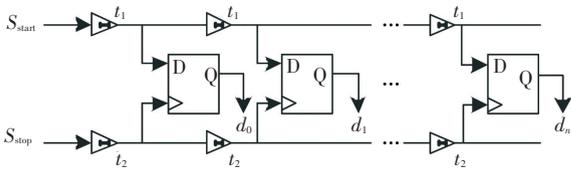


图 2 传统的游标尺链型结构

Fig.2 Structure of traditional vernier chain

由于受各种因素的影响, 延时单元可能会有一定的延时偏差, 现假设第  $m$  级延时单元的延时差偏差值为  $\lambda_m$ , 则第  $m$  级延时单元的延时差可修正为

$$T_{RES, m} = (t_1 - t_2) + \lambda_m, \quad (2)$$

因此, 相位差为

$$T_{IN} = k \times T_{RES, m} + \sum_{m=1}^k \lambda_m, \quad (3)$$

延时单元差值的标准差为

$$\text{std}(T_{RES, m}) = \text{std}(\lambda_m) = \text{std}(\lambda), \quad (4)$$

则相位差  $T_{IN}$  的不确定度为

$$\text{std}(T_{IN}) = \text{std}(\lambda) \times \sqrt{k}. \quad (5)$$

上式中,  $\text{std}(T_{IN})$  代表相位差的不确定度, 其与经过的延时线的长度  $k$  有关,  $k$  越大, 则量化单元的相位差不确定度就越大。

在保证精度、动态范围的前提下, 可以采用缩短

单延时线长度的方法降低量化相位差的不确定度。因此, 本文提出双通道差分延时线型结构见图 3。与传统游标尺链型结构不同的是, 其延时线由奇数级的延时单元线和偶数级延时单元线构成, 且第一级延时单元的延时差值为其它级的一半, 延时线的长度减少为原来的一半, 量化相位差的不确定度降低为原来的 70.7%。

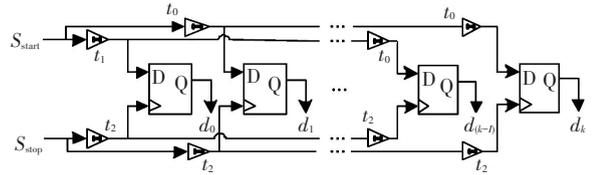


图 3 双通道差分延时线型结构

Fig.3 Structure of double-channel differential delay line

本文提出的三步对称式层次型 TDC 电路由计数器量化单元、抽头延时线量化单元、双通道差分延时线量化单元、Wallace-tree 译码单元、自由环形振荡器 (Free Ring Oscillator, FRO)、耦合复接单元、分辨率归一化单元和余量传输单元组成, 其结构见图 4。TDC 结构的核心电路为: 第一级精调抽头延迟线量化单元和第二级精调双通道差分延迟线单元, 其结构见图 5。

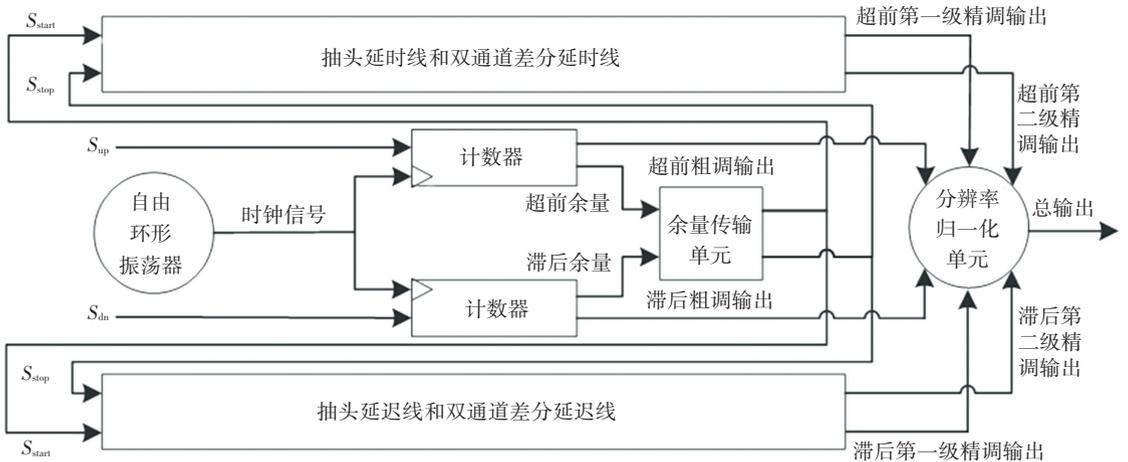


图 4 三步对称式层次型 TDC 结构

Fig.4 Structure of three-step symmetric hierarchical TDC

TDC 的工作原理: 首先由自由环形振荡器提供时钟信号给计数器粗调单元, 在相位差信号  $S_{up}$  或  $S_{dn}$  的上升沿到来时, 对相位差信号的高电平时间长度进行量化, 在相位差信号的下降沿到来时, 通过余量传输单元将剩余的相位差信号  $S_{start}$  和  $S_{stop}$  输入到第一级精调抽头延迟线结构单元中。在  $S_{start}$  信号的上升沿时,  $S_{start}$  信号在抽头延时线中开始传播, 当耦合复接器中的  $S_{clktime}$  耦合信号检测到  $S_{start}$  信号为低电平时, 记录下此时的时刻, 在  $S_{clktime}$  信号的上升沿

时,  $S_{stop}$  信号被置为高电平, 将采样后获得的 5 位温度码值  $Q_{[1,5]}$  通过 Wallace-tree 译码单元转换, 得到所传过的延时单元级数。此时耦合复接器将剩余的相位差送入第二级精调双通道差分延迟线单元,  $V_{stop}$  信号对  $V_{start}$  信号进行采样, 在  $V_{stop}$  信号追上  $V_{start}$  信号之前, 对应的温度码值为 1, 在  $V_{stop}$  追上  $V_{start}$  信号后, 对应的温度码为 0。将奇通道和偶通道采样后得到的温度码先按位异或后再按位相加, 如果相加后的和为 1, 则奇通道的 4 位温度码作为输出温度码

$Q_{[6,9]}$ , 否则将偶通道的 4 位温度码作为输出温度码, 经过译码后输出采样的延时差级数. 最后通过分辨率归一化单元对各级量化单元的结果进行分辨率归一化处理, 并将超前相位差输出和滞后相位差输出进行累加, 输出总的量化结果  $T_{out}$ . TDC 中的“超前”相位差输出和“滞后”相位差输出以 ns 为单

位的输出公式分别为

$$T_{up\_out} = (T_{fs\_out} + 1) \times 4 - (T_{sc\_out} + 1) \times 0.8 + T_{th\_out} \times 0.2, T_{dn\_out} = 0, \quad (6)$$

$$T_{dn\_out} = (T_{fs\_out} + 1) \times 4 - (T_{sc\_out} + 1) \times 0.8 + T_{th\_out} \times 0.2, T_{up\_out} = 0. \quad (7)$$

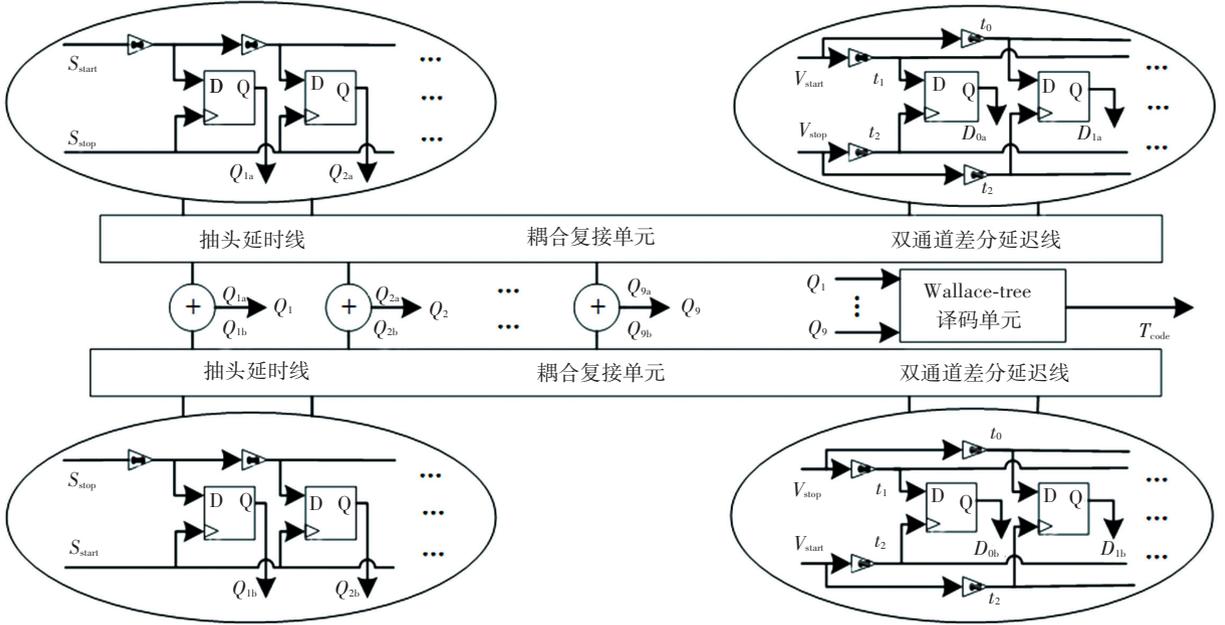


图 5 抽头延迟线和双通道差分延迟线结构

Fig.5 Structure of tapped delay line and double-channel differential delay line

### 1.4 数控振荡器

DCO 的主要功能是产生与所获得的频率控制字相对应的时钟周期脉冲信号<sup>[15]</sup>. 为了快速调节反馈信号的相位, 缩短环路的锁定时间, 在 DCO 的结构中增加了设计的相调电路. DCO 主要由自由环形振荡器、分频计数器、累加器、多路选择器、相调电路和一些与或门组成, 其与 TDC 共用一个 FRO 电路, 以免消耗过多的硬件资源. 其工作原理: 首先根据频率检测电路输出的频率控制字  $N_0$  获得相应的分频系数, 然后分频计数器对自由环形振荡器输出的高频时钟  $F_{clk}$  信号进行分频, 获得与参考信号同频的反馈信号  $F_{bk}$ , 然后根据 DLF 滤波后输出的调节控制字  $K_{cn}$  的数值, 相调电路中的状态机对反馈信号低电平时间缩短或延长, 而高电平时间保持不变, 通过调整对齐相位, 快速实现环路锁定.

### 1.5 相调电路

在 DCO 中增设的相调电路是用于相位调节的核心电路. 相调电路主要由状态机和下降沿检测电路、D 触发器、一些与非门组成. 其主要通过状态机来实现不同状态之间的切换, 相调电路流程图见图

6, 其工作原理:

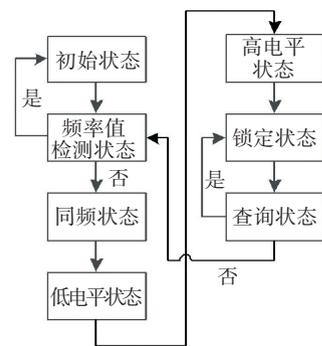


图 6 相调电路流程图

Fig.6 Flow diagram of phase modulation circuit

最初在初始状态等待由自由环形振荡器和分频计数器产生一个周期的初始频率信号, 在初始频率信号的最后高电平输出时刻, 进入频率值检测状态检测频率控制字  $N_0$  是否为零, 当  $N_0$  为零时, 回到初始状态继续查询检测  $N_0$  的大小. 否则, 进入同频状态实现反馈信号与参考信号同频, 开启 PFD 和 TDC 量化参考信号和反馈信号的相位差. 然后输出与参考信号同频的信号后进入低电平状态, 调整反馈信

号低电平时间,使反馈信号提前或延迟,再进入高电平状态让反馈信号高电平时间保持不变,实现相位准确对齐后进入锁定状态,在已锁定的反馈信号第一个时钟周期的最后高电平输出时刻进入查询状态,查询频率控制字  $N_0$  是否发生变化,如果变化,则再次进入同频状态以实现对参考信号的跟踪锁定,否则进入锁定状态正常输出锁定后的反馈信号。

下降沿检测电路会在相调电路中状态机的查询状态时,检测参考信号与反馈信号的下降沿的到来时刻是否一致,如果一致则表明环路已经实现了锁定,此时会将使能信号  $E_{pfd}$  和  $E_{tdc}$  置为低电平,关闭 PFD 和 TDC 电路,避免不必要的电能消耗,从而降低整体电路的功耗。

## 2 仿真结果与分析

根据图 1 中所示的全数字锁相环原理框图结构,采用 Verilog HDL 语言对各部分电路进行自顶向下的 RTL 级设计,自由环形振荡器 FRO 由 IP 核实现。选用 Xilinx 公司 xc7x325t-2ffg900 型号 FPGA,在 ISE2014.2 软件中利用 XST 工具进行综合设计的电路,并且进行仿真,最后在 Xpower 软件上与传统的基于游标尺链型的全数字锁相环进行功耗测试。下面主要对时间数字转换器和整体电路给出部分仿真结果,对整体电路给出功耗测试结果,然后结合综合后获得的硬件资源消耗量进行功耗分析,最后对电路进行性能对比。

TDC 电路的仿真结果见图 7,图中  $S_{up}$  和  $S_{dn}$  信号为待量化的相位差信号,  $T_{fs\_out}$ 、 $T_{sc\_out}$ 、 $T_{th\_out}$  分别为粗调、第一级精调、第二级精调的输出信号,  $T_{up\_out}$ 、 $T_{dn\_out}$  分别为“超前”相位差输出结果、“滞后”相位差输出结果,  $T_{out}$  为总量化输出结果。在对“超前”相位差信号  $S_{up}$  的第一次量化测试中,量化结果为

$$\lambda_{测试1} = (4 + 1) \times 4ns - (3 + 1) \times 0.8 ns + 2 \times 0.2 ns = 17.2 ns = 1.72 \times 10^4 ps \approx \lambda_{实际1} = 17.36 ns.$$

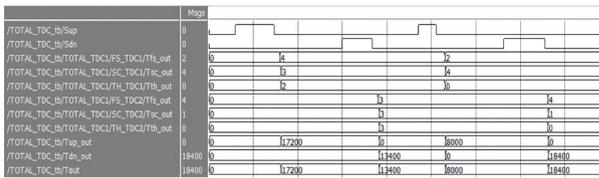


图 7 TDC 电路仿真结果

Fig.7 Simulation result of TDC circuit

在对“滞后”相位差信号  $S_{dn}$  的第一次量化测试中,量化结果为

$$\lambda_{测试2} = (3 + 1) \times 4 ns - (3 + 1) \times 0.8 ns + 3 \times 0.2 ns = 13.4 ns = 1.34 \times 10^4 ps \approx \lambda_{实际2} = 13.45 ns$$

在图 7 中两次连续对相位差信号的量化过程中,设计的 TDC 电路都能够有效地量化相位差信号,并将量化误差控制在 0.2 ns 之内。

图 8 为全数字锁相环整体电路的仿真结果,  $F_{lock}$  信号为环路的锁定信号。从图中可以看出,在参考信号  $F_{ref}$  的第一个到第 3 个时钟周期内, DCO 通过正常分频产生反馈信号  $F_{bk}$ ,相调电路对反馈信号的相位进行调节;在参考信号  $F_{ref}$  的第 4 个时钟周期开始时,环路已经完成锁定,此时  $F_{lock}$  置为高电平;在参考信号  $F_{ref}$  的第 5 个时钟周期开始时,此时  $E_{pfd}$  和  $E_{tdc}$  置为低电平,关闭 PFD 和 TDC。在参考信号  $F_{ref}$  信号第 6 个时钟周期内,参考信号频率发生了突变,但环路经过一系列调节后,在 3 个参考时钟周期内再次实现锁定。在图 8 中两次连续锁定参考信号的过程中,反馈信号都能够实时监控参考信号的变化,快速完成对参考信号的捕获,达到环路锁定状态。

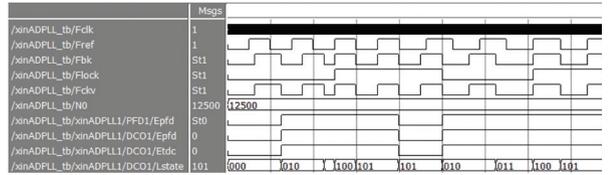


图 8 全数字锁相环整体电路仿真结果

Fig.8 Simulation result of overall ADPLL circuit

在 XST 工具上综合后获得的寄存器和查找表消耗量见表 1。使用 Xpower 软件对整体电路分别在 100 MHz、200 MHz、300 MHz 和 400 MHz 频率值上进行测试,得到的功耗值见表 2。由表 1 和表 2 联合进行对比功耗分析可知,与传统的基于游标尺链型的全数字锁相环相比,虽然硬件资源消耗有所增加,使环路的功耗有所上升,但是采用了下降沿检测电路在环路锁定后适时关闭鉴频鉴相器和时间数字转换器,使整体电路的功耗还是具有一定的降低,整体电路的平均功耗降低约 18.1%。

表 1 寄存器和查找表消耗量

Tab.1 Consumption of register and lookup

ADPLL 类型	消耗的寄存器个数	消耗的查找表个数
基于游标尺链型的 ADPLL	236	398
本文	254	424

表 2 ADPLL 的功耗

Tab.2 Power consumption of ADPLL mW

ADPLL 类型	频率/MHz			
	100	200	300	400
基于游标尺链型的 ADPLL	47.52	48.06	48.54	49.03
本文	38.83	39.35	39.78	40.23

表 3 列出了本设计电路与部分已发表文献中的

基于 TDC 的 ADPLL 性能对比. 与文献[8]、[10]、[11]相比, TDC 的量化精度分别提高了 1.56、1.25、1.2 倍; 与文献[8]、[9]相比, ADPLL 的锁定速度分别提高了 2.5、2.1 倍; 由此可见, 此全数字锁相环在综合性能方面具有明显的提升.

表 3 基于 TDC 的 ADPLL 性能对比

Tab.3 Comparison of ADPLL performance based on TDC

文献	分辨率/ ps	采样时钟 频率/MHz	TDC 最大 量程/ns	锁定 时间/ $\mu$ s
文献[8]	312.5	100	1 280	3.00
文献[9]	80.0	500	—	2.50
文献[10]	250.0	40	1 024	0.72
文献[11]	240.0	250	60	—
本文	200.0	400	540	1.20

### 3 结 论

针对全数字锁相环常见实现方法中存在的锁定参考信号的时间长、量化精度低、电路功耗大问题, 本文设计并实现了一种结合高精度 TDC 的快速全数字锁相环. 提出的 TDC 使用三步对称式层次型结构, 结合抽头延迟线法和双通道差分延迟线法技术, 提高了 TDC 电路的分辨率, 将量化相位差信号的误差控制在 0.2 ns 之内. 设计的相调电路使反馈信号能在 3 个参考信号时钟周期内快速调整相位实现锁定. 通过下降沿检测电路在环路锁定后, 适时关闭 PFD 和 TDC 电路, 降低了整体电路的功耗, 对比传统的基于游标尺链型的全数字锁相环电路功耗降低了约 18.1%. 本文设计的全数字锁相环在锁定速度、量化精度、功耗方面具有一定的优势, 适用于实时性强、高速、低功耗的现代数字通信系统.

### 参 考 文 献

[1] 孙高阳, 刘亚静, 李秉格, 等. 一种消除反馈延迟的全数字锁相环[J]. 电工技术学报, 2017, 32(20): 171  
SUN Gaoyang, LIU Yajing, LI Bingge, et al. An all-digital phase-locked loop with elimination of feedback delay[J]. Transactions of China Electrotechnical Society, 2017, 32(20): 171

[2] 黎金英, 艾欣, 邓玉辉. 微电网电压不平衡的分层补偿控制策略[J]. 哈尔滨工业大学学报, 2016, 48(3): 46  
LI Jinying, AI Xin, DENG Yuhui. Hierarchical control strategy for voltage unbalance compensation in micro-grid[J]. Journal of Harbin Institute of Technology, 2016, 48(3): 46

[3] 赵金良, 杨贵杰, 赵品志, 等. 基于 SMO 的 PMSM 磁极位置检测技术[J]. 哈尔滨工业大学学报, 2010, 42(1): 95  
ZHAO Jinliang, YANG Guijie, ZHAO Pinzhi, et al. Pole position detection techniques of PMSM based on SMO[J]. Journal of Harbin Institute of Technology, 2010, 42(1): 95

[4] 何峰, 吴乐南. 下一代高效导航卫星信号频谱分析与波形优化[J]. 哈尔滨工业大学学报, 2012, 44(9): 101  
HEFeng, WU Lenan. Spectral analysis and waveform optimization of signals for future GNSS[J]. Journal of Harbin Institute of Technology, 2012, 44(9): 101

[5] 赵品志, 杨贵杰. 基于 FPGA 的全数字轴角变换算法[J]. 哈尔滨工业大学学报, 2010, 42(12): 1911  
ZHAO Pinzhi, YANG Guijie. FPGA-based all-digital resolver-digital conversion algorithm[J]. Journal of Harbin Institute of Technology, 2010, 42(12): 1911

[6] 马爽, 吴志勇, 高世杰, 等. 改进的大气激光通信 PPM 调制解调系统设计[J]. 哈尔滨工业大学学报, 2016, 48(5): 105  
MA Shuang, WU Zhiyong, GAO Shijie, et al. Design of modified atmospheric laser communication PPM modulation-demodulation system[J]. Journal of Harbin Institute of Technology, 2016, 48(5): 105

[7] ELKHOLY A, SAXENA S, NANDWANA R K, et al. A 2.0–5.5 GHz Wide Bandwidth Ring-Based Digital Fractional-N PLL With Extended Range Multi-Modulus Divider[J]. IEEE Journal of Solid-State Circuits, 2016, 51(8): 1771

[8] 张陆, 张长春, 李卫, 等. 应用于全数字锁相环的时间数字转换器设计[J]. 南京邮电大学学报(自然科学版), 2014, 34(1): 47  
ZHANG Lu, ZHANG Changchun, LI Wei, et al. Design of Time-to-Digital Converter for All Digital Phase-locked Loops[J]. Journal of Nanjing University of Posts and Telecommunications, 2014, 34(1): 47

[9] ELKHOLY A, ANAND T, CHOI W S, et al. A 3.7mW Low-Noise Wide-Bandwidth 4.5 GHz Digital Fractional-N PLL Using Time Amplifier-Based TDC[J]. IEEE Journal of Solid-State Circuits, 2015, 50(4): 867

[10] 姚亚峰, 孙金傲, 霍兴华, 等. 一种结合高精度 TDC 的快速全数字锁相环[J]. 湖南大学学报(自然科学版), 2017, 44(8): 131  
YAO Yafeng, SUN Jinao, HUO Xinghua, et al. A fast all digital phase-locked loop combined with high precision TDC[J]. Journal of Hunan University(Natural Science), 2017, 44(8): 131

[11] ZENG C, DEEN M J, PENG H. A low-power gateable vernier ring oscillator time-to-digital converter for biomedical imaging applications[J]. IEEE Transactions on Biomedical Circuits & Systems, 2016, 10(2): 445

[12] CHOI Y H, KIM B, SIM J Y, et al. A phase-interpolator-based fractional counter for all-digital fractional-N phase-locked loop[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2017, 64(3): 249

[13] KIM S, HONG S, CHANG C S, et al. A 2 GHz synthesized fractional-N ADPLL with dual-referenced interpolating TDC[J]. IEEE Journal of Solid-State Circuits, 2016, 51(2): 391

[14] LIN J M, YANG C Y. A fast-locking all-digital phase-locked loop with dynamic loop bandwidth adjustment[J]. IEEE Transactions on Circuits & Systems I: Regular Papers, 2015, 62(10): 2411

[15] CHUNG H, ISHIKURO H, KURODA T. A 10-Bit 80-MS/s decision-select successive approximation TDC in 65 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2012, 47(5): 1232