

DOI:10.11918/j.issn.0367-6234.201805108

精确频率输出的超低时延 DDS 电路设计

王国洪, 宛 强, 姚亚峰, 钟 梁

(中国地质大学(武汉)机械与电子信息学院, 武汉 430074)

摘 要:使用 CMOS 工艺设计高性能、低成本的直接数字频率合成器 DDS 是一项十分具有挑战性的任务. 本文提出了一种模数可编程的超低时延 DDS 电路设计. 通过增加一个辅助相位累加器, 可以根据输出频率的需要来设置辅助相位累加器的输入和模数配置来产生小数复合频率控制字, 从而可以进行各种频率的精确输出, 完全消除了输出频率误差. 还针对 CORDIC 算法进行了优化改进, 提出了一种仅需要小容量的查找表和简单角度校正的 CORDIC 实现方法, 免除了迭代运算过程, 设计了一种超低时延的相位幅度转换电路. 在电路资源消耗没有增加的前提下, 设计电路不仅实现了精确频率输出, 还大大降低了电路的输出时延. 验证结果表明: 本 DDS 设计电路输出频率不存在频率误差, 并且只需要两个时钟周期就能得到高精度的正余弦波输出. 本设计通过对相位累加器和相位幅度转换电路的改进, 消除了输出频率误差和降低了输出时延, 具有输出频率精确、输出时延小、成本低等优点, 更加适合输出频率精度要求高、实时性强的信号处理应用场合.

关键词: 模数可编程; 相位幅度变换; 坐标旋转数字计算; 直接数字频率合成; 数字电路设计

中图分类号: TN492 **文献标志码:** A **文章编号:** 0367-6234(2019)05-0044-06

A DDS circuit design with ultra-low latency and exact output frequency

WANG Guohong, WAN Qiang, YAO Yafeng, ZHONG Liang

(School of Mechanical and Electronic Information China University of Geosciences, Wuhan 430074, China)

Abstract: The design of a high-performance and low-cost direct digital frequency synthesizer (DDS) by using complementary metal oxide semiconductor (CMOS) technology is a challenging task. This paper presents a programmable modular and ultra-low latency DDS circuit design. By adding an auxiliary phase-accumulator, the input of the auxiliary accumulator and the analog-digital configuration can be set to generate the fractional composite frequency control word based on the need of the output frequency, so that accurate output of various frequencies can be performed and the output frequency error is completely eliminated. The coordinate rotation digital computer (CORDIC) algorithm was optimized and improved to propose a CORDIC implementation which only needs a small capacity lookup table and simple angle correction. It eliminates the iterative operation process and designs an ultra-low delay phase-amplitude conversion circuit. Under the premise that the circuit resource consumption is not increased, the design circuit not only realized the accurate frequency output, but also greatly reduced the output delay of the circuit. The verification results show that the output frequency of the DDS design circuit did not have a frequency error, and it took only two clock cycles to obtain a high-precision sine cosine wave output. This design improves the phase-accumulator and phase-amplitude conversion circuit, eliminates output frequency error, reduces output delay, and has the advantages such as accurate output frequency, small output delay, and low cost. Therefore, it is more suitable for signal processing applications with high output frequency accuracy and real-time performance.

Keywords: programmable modular; phase-amplitude conversion; coordinate rotation digital computer; direct digital frequency synthesis; digital circuit design

用 CMOS 工艺设计高性能、低成本的直接数字频率合成器 DDS 一直是一项十分具有挑战性的任务^[1-3]. DDS 一般分为两个功能单元: 相位累加器和相位幅度转换. 相位累加器一般包括一个溢出加法

器和一个反馈寄存器, 用于累加标准频率控制字, 控制输出信号频率. 相位幅度转换完成 sine/cosine 映射, 即实现输入角度到三角函数值的映射^[4-5]. 给定任意输入频率控制字, DDS 将基于输入的频率控制字输出相应频率的正余弦波形信号. 但根据传统相位累加器设计, 输出频率和频率控制字的关系为: $f_{\text{out}} = F_{\text{tw}}/2^N \cdot f_{\text{clk}}$. 其中 f_{out} 为输出频率, F_{tw} 为频率控制字, 是一个二进制数. N 为相位累加器的数据宽度即位宽. f_{clk} 为系统工作时钟. 显然, 传统相位累加器

收稿日期: 2018-05-20
基金项目: 国家自然科学基金(61601334); 中央高校军民融合专项基金培育项目(201708)
作者简介: 王国洪(1968—), 男, 讲师
通信作者: 姚亚峰, Email: 787458282@qq.com.

会导致输出频率的分辨率为 $\Delta f = 1/2^N \cdot f_{\text{clk}}$, 即输出频率只能是 Δf 的整数倍^[6]. 当需要输出例如 $\Delta f \sim 2\Delta f$ 之间的频率时, 就只能进行四舍五入, 输出频率 Δf 或频率 $2\Delta f$ 中的一个来代替, 而不能进行精准的频率输出. 一般通过提高相位累加器位宽来提高频率分辨率或降低误差, 例如把累加器位宽从 32 比特提高到 40 比特, 可以提高频率分辨率, 但还是不能完全消除频率误差. 相位幅度变换有查表法、泰勒级数展开法以及 CORDIC (coordinate rotation digital computer) 方法等^[7-9]. 由于 CORDIC 算法只需通过移位相加运算不断迭代逼近目标值, 具有精度可调、运算速度快、便于硬件实现等特点, 是相位幅度变换电路设计的主流^[10-12]. 文献 [13-15] 提出了 CORDIC 算法的一种经典实现方法, 将整个迭代运算划分为三个阶段完成, 第一阶段进行 4 位地址的查找表, 第二阶段进行 4 次蝶形迭代运算, 最后通过合并迭代运算得出输出结果. 这种实现方法在保证精度的前提下, 运算速度和电路资源消耗等都有明显改善, 但是需要 7 个时钟周期的延时才能得到输出结果, 不太适合高速、实时的信号处理与应用.

本文针对传统相位累加器和相位幅度转换电路存在的不足, 提出了一种可以进行精准频率输出的超低时延 DDS 电路的新型设计. 通过增加一个模数可编程的辅助相位累加器, 可以根据输出频率的需要来设置辅助累加器的输入和模数配置, 从而可以实现不同频率的准确输出, 消除了传统相位累加器存在的最小频率分辨率问题. 还针对传统的 CORDIC 实现方法提出了改进, 设计了一种仅需小容量查找表和简单角度校正的实现方法, 免除了迭代运算. 改进后的 DDS 电路能进行准确的频率输出, 完全消除了输出频率误差, 且在电路规模没有增加和保证 16 位精度的正余弦波输出前提下, 输出时延从 7 个时钟周期降低到 2 个时钟周期. 本设计更加适合输出频率精度要求高、实时性强的现代数字信号处理应用场合.

1 模数可编程相位累加器原理

传统相位累加器和改进后的相位累加器分别见图 1 和图 2. 其中图 1 传统相位累加器的输出频率和频率控制字的关系为: $f_{\text{out}} = F_{\text{tw}}/2^N \cdot f_{\text{clk}}$, 因为这里 F_{tw} 必须为整数, 从而存在一个频率分辨率 $\Delta f = 1/2^N \cdot f_{\text{clk}}$ 的问题. 而改进后的图 2 相位累加器的输出频率和频率控制字的关系变为: $f_{\text{out}} = (F_{\text{tw}} + A/B)/2^N \cdot f_{\text{clk}}$, 其中 A 为辅助相位累加器的频率控制字, B 为累加器的模数设置值. 通过增加模数可编程的辅助相位累加器设计, 可以通过设置不同的 A 、 B 取值, ($F_{\text{tw}} +$

A/B) 使可以为任意小数, 从而可以实现精确频率输出, 消除了最小频率分辨率的问题.

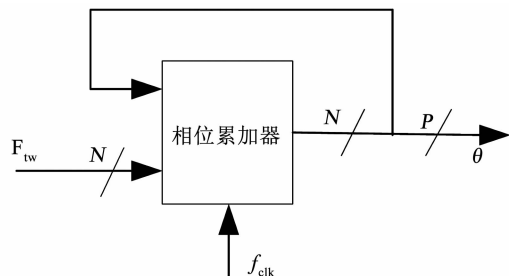


图1 传统累加器结构

Fig. 1 Traditional accumulator structure

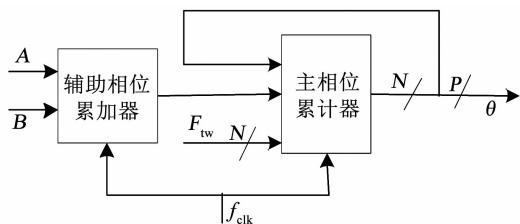


图2 模数可编程累加器结构

Fig. 2 Modulo programmable accumulator structure

传统相位累加器主要依赖于累加器采样时钟速率递归求和频率控制字, 这会在累加器的输出端产生一个时间序列的相位累加值, 该数值线性增大, 直至累加器达到最大值 $2^N - 1$ 并翻转. 因此, 累加器具有一个固定模数 2^N . 相位幅度转换器将 N 位数值映射到单位圆上, 即将 0 到 $2^N - 1$ 范围内的二进制值线性映射到 0 到 2π 范围内的弧度值. 这种映射方法使相位幅度转换器非常有效的将 N 位相位值转换为 D 位幅度值. 转换过程可以表示为三角函数关系: $X = \sin(2\pi/2^N \cdot M)$, 其中 M 为累加器的输出数值. 当然累加器输出通常会被截断至 P 位, 忽略 $(N - P)$ 位的低位数值, 以减少相位幅度转换电路的规模和复杂度.

输出频率由相位累加器的平均翻转率决定: $f_{\text{out}}/f_{\text{clk}} = F_{\text{tw}}/2^N$, $F_{\text{tw}}/2^N$ 为小数比例因子, F_{tw} 、 N 为正整数. 根据时间抽样定理可知: $F_{\text{tw}} \leq 2^{N-1} - 1$, 因此输出频率 f_{out} 限制在 $\{F_{\text{tw}}/2^N \cdot f_{\text{clk}}\}$ 的集合, 可以看出 DDS 累加器的模数 (2^N) 决定了 DDS 的频率分辨率和可能输出频率. 由于 DDS 累加器的模数 (2^N) 必须为整数, 这意味着传统的 DDS 电路不能输出准确的 $f_{\text{clk}}/5$, $f_{\text{clk}}/10$, $f_{\text{clk}}/100$ 等频率的波形.

如果累加器模数可调, 将能精确输出任意频率. 模数可编程累加器是基于传统累加器结构变化而来的. 通过增加一个辅助累加器, 使主累加器看起来改变了模数, 但仍然保持相位幅度转换器要求的以 2 为基数的幂的映射. 假定在 32 位的系统中, 图 2 相

位累加器的输出方程式变为:

$$f_{\text{out}}/f_{\text{clk}} = G/H, \tag{1}$$

$$G/H = (F_{\text{tw}} + A/B)/2^{32}. \tag{2}$$

式中: G, H 为整数, 并 $1 \leq G \leq H/2$ 且. 在这里模数可编程不要求 H 为 2 的指数, 它可以为任选的正整数, 对于 32 位系统来说, 对 H 的唯一限制是, 当分数 G/H 约至最小项时, H 必须满足 $0 < H < 2^{32}$. 对于输出频率要满足奈奎斯采样定律, 所以对于 H 的下限要满足 $H > 2G$. 式(2)中 $F_{\text{tw}} + A/B$ 的形式意味着复合频率调谐字, 其中 F_{tw} 表示整数部分, A/B 代表小数部分. 复合频率调谐字不再受整数的限制, 可以实现任意频率的精确输出.

2 超低时延 CORDIC 算法原理

2.1 经典三段式 CORDIC 算法原理

文献[13-15]中提出了一种经典的三段式 CORDIC 算法, 该算法取范围为 $[0, \pi/4]$ 的输入角度, 用二进制表示为: $\theta = \sum_{k=1}^N b_k 2^{-k}$, 其中 $b_k \in \{0, 1\}$, 为输入角度二进制表示的 bit 值. 对于 $[0, \pi/4]$ 范围外的角度, 可利用三角函数对称性变换获得. 通过角度编码, 令 $r_k = 2b_k - 1$, 则, $\theta = \varphi_0 + \sum_{k=2}^{N+1} r_k 2^{-k}$, $\varphi_0 = 1/2 - (1/2)^{N+1}$ 为常数, $r_k \in \{-1, 1\}$. 通过以 φ_0 为起始坐标旋转, 每次旋转角度依次为 $2^{-2}, 2^{-3}, \dots, 2^{-k}$ 弧度, 且旋转方向由 θ 的二进制表示的位值决定. 这样就可以由下式迭代产生输入角的正余弦值.

$$\begin{cases} x_{k+1} = \cos(2^{-k}) \cdot [x_k - r_k \cdot \tan(2^{-k}) \cdot y_k], \\ y_{k+1} = \cos(2^{-k}) \cdot [y_k + r_k \cdot \tan(2^{-k}) \cdot x_k]. \end{cases} \tag{3}$$

对 $\tan \theta_k$ 进行泰勒展开即可发现, 在 $k \geq N/3$ 时, $\tan \theta_k \approx \theta_k \approx 2^{-k}$ 近似所导致的误差不影响计算精度, 可利用传统 CORDIC 算法的蝶形迭代计算. 在 $k \geq N/2$ 时, $\tan \theta_k \approx 2^{-k}$, $\cos \theta_k \approx 1$. 则式(3)可化简为

$$\begin{cases} x_{k+1} = x_k - r_k \cdot 2^{-k} \cdot y_k, \\ y_{k+1} = y_k - r_k \cdot 2^{-k} \cdot x_k. \end{cases} \tag{4}$$

因此当 $k \geq N/2$ 时, 利用公式(4)只需要简单的位移和合并就可以得到结果.

经典三段式 CORDIC 算法的思想主要是把原来需要的 N 次迭代运算划分为三个阶段来实现: 在 $k < N/3$, 将计算结果存入 ROM 表作为下一阶段的输入. 在 $N/3 \leq k < N/2$, 通过传统 CORDIC 算法的蝶形迭代去计算. 在 $k \geq N/2$, 通过公式(4)只需要简单的位移和合并相加一步来完成. 最后通过三角函数的对称性变换输出整个圆周角度的计算值.

2.2 超低时延 CORDIC 原理

本文提出的基于小容量查找表的超低时延

CORDIC 算法, 是对三阶段实现 CORDIC 算法基础上的进一步改进. 将限定在 $[0, \pi/4]$ 的输入角度值 θ 用 N 位二进制表示为: $\theta = \varphi_0 + \sum_{k=2}^{N+1} r_k 2^{-k}$. 并 θ 将用 α 和 β 两部分表示, α 表示高 6bit 角度 $b_0, b_1, \dots, b_5$ 的实际值, β 表示剩余角度 $b_6, b_7, \dots, b_{N-2}, b_{N-1}$ 的实际值, 则, $\theta = \alpha + \beta$ 因此:

$$\begin{cases} \cos \theta = \cos(\alpha + \beta) = \cos \alpha \cdot \cos \beta - \sin \alpha \cdot \sin \beta, \\ \sin \theta = \sin(\alpha + \beta) = \sin \alpha \cdot \cos \beta + \cos \alpha \cdot \sin \beta \end{cases} \tag{5}$$

由前可知, 当 θ 比较小时, $\sin \theta \approx \theta$, $\cos \theta \approx 1$ 因此可将式(5)化简为:

$$\begin{cases} \cos \theta = \cos \alpha - \beta \cdot \sin \alpha, \\ \sin \theta = \sin \alpha - \beta \cdot \cos \alpha. \end{cases} \tag{6}$$

由于 $\pi/4 \approx 2^{-1} + 2^{-2} + 2^{-5} + 2^{-8} + 2^{-12}$, 所以查找表的地址只需从 000 000 ~ 110 010, 将输入角度值 θ 前 6bit 对应的角度值通过式(3)得到迭代计算结果存储到 ROM 表里. 剩余比特的角度值按照式(6)对输入校对进行校正, 即可得到高精度的正余弦值.

对于 16bit 精度的输出要求, 超低时延 CORDIC 算法的主要思想是, 第一阶段通过查找表来得到输入角度前 6bit 角度值的正余弦作为下一阶段的初始值, 查找表具体存储内容如表 1 所示; 第二阶段将其他比特的角度值利用式(6)来对查找表的结果进行校正, 得到精准的输入角度对应的正余弦值, 再通过三角对称性转换来得到整个圆周内角度对应的正余弦值. 跟三段式实现方法相比, 主要是省去了中间的迭代运算环节, 大大降低了输出时延.

表 1 ROM 查找表

Tab. 1 ROM lookup table

Addr	$x_7(\cos \alpha)$	$y_7(\sin \alpha)$
000 000	011 111 111 111 111 010	000 000 001 111 111 111
000 001	011 111 111 111 011 010	000 000 101 111 111 111
000 010	011 111 111 110 011 010	000 001 001 111 111 110
000 011	011 111 111 100 111 010	000 001 101 111 111 100
...	...	...
110 000	010 111 001 111 100 010	01 010 111 111 110 1001
110 001	010 110 111 001 010 110	01 010 111 111 110 1001
110 010	010 110 100 010 110 100	01 011 010 110 101 1011

3 DDS 电路设计实现

在采用相同指标前提条件下, 对传统 DDS 和改进后的 DDS 进行了具体实现. 其实现原理框图分别如图 3 和图 4 所示. 相位累加器均取 32 位位宽, 参考时钟取 $f_{\text{clk}} = 100 \text{ MHz}$, 正余弦波输出信号的位宽取 16 位(1bit 符号位 + 15bit 小数位), 输出频率取 $1/100 \cdot f_{\text{clk}}$, 即 $f_{\text{out}} = 1.0 \text{ MHz}$.

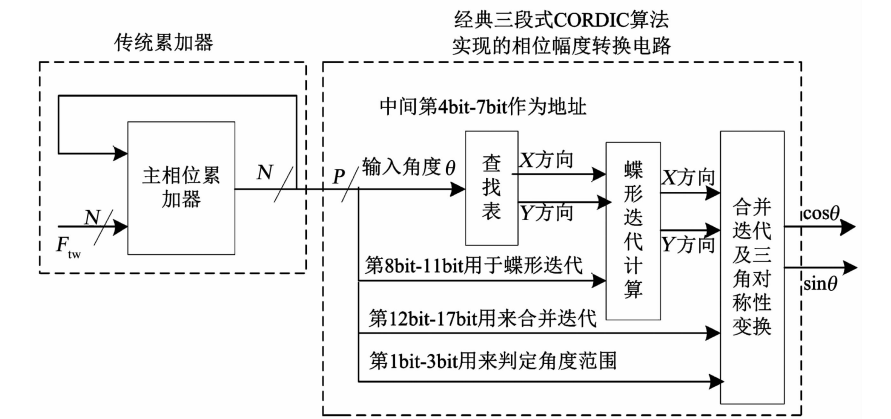


图3 传统 DDS 设计原理框图

Fig. 3 Traditional DDS design block diagram

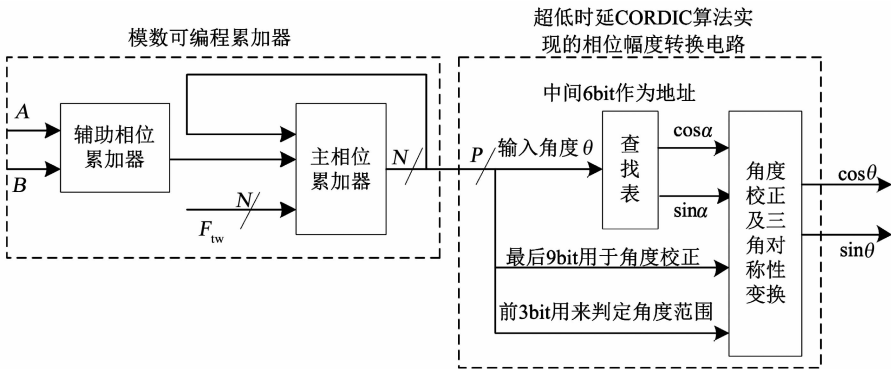


图4 改进后的 DDS 输出余弦值误差

Fig. 4 Improved DDS output cosine error

对于传统 DDS 而言,要想得到 $1/100 \cdot f_{\text{clk}}$, 由 $f_{\text{out}}/f_{\text{clk}} = F_{\text{tw}}/2^{32} = 1/100$, 可得 $F_{\text{tw}} = 42\,949\,672.96$, 而 F_{tw} 必须为整数, 取其 $F_{\text{tw}} = 42\,949\,672$, 这时输出频率 $f_{\text{out}} \approx 0.999\,999\text{ MHz}$, 其必然存在输出误差. 但由于传统累加器的频率控制字必须为整数, 所以它必然不能消除这个输出频率的误差. 另外, 其相位幅度变换电路分为 3 个阶段实现, 电路相对比较复杂, 从输入到输出, 总共需要 7 个时钟周期的处理时间, 输出延时也偏大.

而对于改进后的 DDS 而言, 要想得到 $1/100 \cdot f_{\text{clk}}$, 即 $f_{\text{out}}/f_{\text{clk}} = 1/100$, 由式 (1) 可知 $G = 1, H = 100$. 再根据式 (2) 计算可得 $F_{\text{tw}} = 42\,949\,672, A = 24, B = 25$, 即可精度得到 $f_{\text{out}} = 1.0\text{ MHz}$ 的输出频率, 不再存在输出频率误差问题. 显然, 改进后的 DDS 可以通过不同的和 A, B 设置, 实现任意频率的无误差输出. 另外, 改进后的 DDS 相位幅度变换电路主要由小容量查找表和输出校正电路组成, 从输入到输出, 只需要 2 个时钟周期的处理时间, 大大降低了输出延时.

4 仿真结果及分析

将文献[15]的 DDS 实现方法和本文改进后的

DDS 用 Verilog HDL 进行了实现, 并将代码用 XILINX 公司的 xc7k325t-2ffg900 型号的 FPGA 在 ISE14.2 软件环境下利用 XST 进行了综合, 其硬件资源消耗、输出延时、最大工作频率等指标如表 2 所示, 电路功耗如表 3 所示. 可见, 改进后的 DDS 在电路资源消耗方面有所降低, 电路工作频率有所提升, 在输出延时方面有显著改善.

表2 综合性能对比表

Tab. 2 Comparison of comprehensive performance		
参数	DDS 设计方法	
	文献[15]方法	本文方法
消耗寄存器	346	314
输出延时	7 CLK	2 CLK
最大工作频率	199.440 MHz	242.251 MHz

表3 电路功耗对比表

Tab. 3 Comparison of circuit power consumption		
运行频率/MHz	动态功耗/W	
	文献[15]方法	本文方法
100	0.107	0.98
150	0.129	0.125
200	0.151	0.148

在相同条件设定下,即相位累加器均取 32 位位宽,参考时钟取 $f_{\text{clk}} = 100 \text{ MHz}$,正余弦波输出信号的位宽取 16 位(1bit 符号位 + 15bit 小数位),输出频率取 $1/100 \cdot f_{\text{clk}}$,即 $f_{\text{out}} = 1.0 \text{ MHz}$. 我们还将电路输出的正余弦值导出来,与 Matlab 计算的理论值进行了误差分析和对比. 因为三角函数的对称性,同一种方法输出的正弦值和余弦值误差特性是一致的,所以这里只给出改进后的 DDS 电路以及传统 DDS 电路产生余弦值的绝对误差. 它们分别如图 5、图 6 所示. 由图可得,改进后的 DDS 产生余弦值最大绝对误差为 8.65×10^{-5} ;传统 DDS 余弦值最大绝对误差为 11.95×10^{-5} . 改进后的 DDS 余弦值绝对误差平均值为 1.90×10^{-5} ;传统 DDS 余弦值绝对误差平均值为 2.58×10^{-5} . 可见,改进 DDS 在输出精度上也有某种程度的改善.

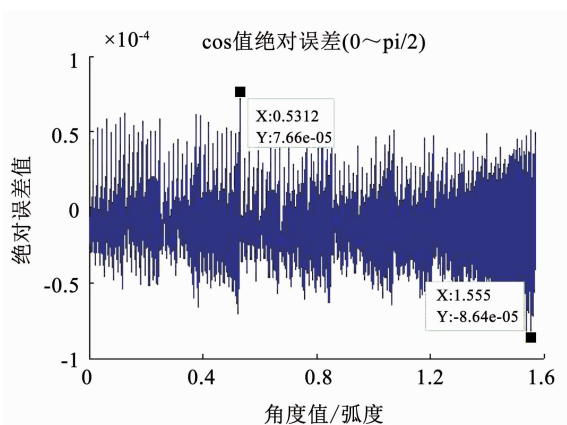


图 5 改进后的 DDS 输出余弦值误差

Fig. 5 Improved DDS output cosine error

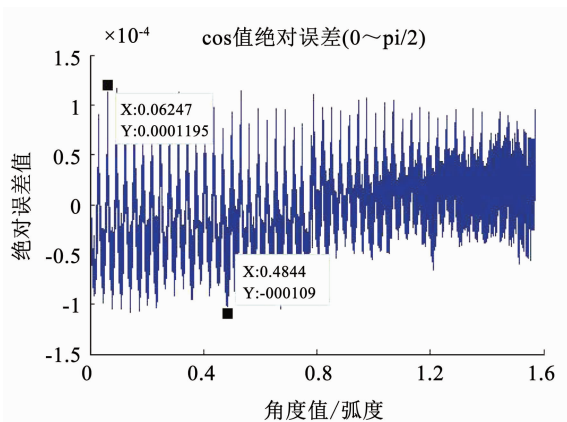


图 6 传统 DDS 输出余弦值误差

Fig. 6 Traditional DDS output cosine error

5 结束语

本文通过对组成 DDS 的相位累加器和相位幅

度变换电路进行深入分析,提出了一种能够进行精准频率输出的超低时延 DDS 电路设计. 通过增加一个辅助相位累加器,使相位累加器的模数可编程,实现了任意频率的准确输出,消除了最小频率分辨率问题. 还对经典的三段式 CORDIC 实现方法进行了改进,完成了一种只需要小容量查找表的 CORDIC 实现方法,把输出时延从 7 个时钟周期降低到 2 个时钟周期. 通过 XILINX 公司 xc7k325t-2ffg900 型号 FPGA 芯片对本设计进行了具体实现,结果表明,本文设计的 DDS 电路在硬件资源消耗、最大工作频率和输出精度上都有所提高,并且具有输出频率精确、输出时延小、成本低等特点,更加适合输出频率精度要求高、实时性强的现代数字信号处理应用.

参考文献

- [1] ZHAO Zhengyu, LI Xiangyang, CHANG Wenge. LFM-CW signal generator based on hybrid DDS-PLL structure [J]. Electronics Letters, 2013, 49(6): 391. DOI:10.1049/el.2012.2852
- [2] AGGARWAL S, MEHER P K, KHARE K. Concept, design, and implementation of reconfigurable CORDIC [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(4): 1588. DOI:10.1109/TVLSI.2015.2445855
- [3] RAMADOSS R, KERMANI M M, AZARDERAKHSH R. Reliable hardware architectures of CORDIC algorithm with fixed angle of rotations [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2017, 64(8): 972. DOI:10.1109/TCSII.2016.2624508
- [4] HUSSEIN A I, VASADI S, PARAMESH J. A 50-66-GHz phase-domain digital frequency synthesizer with low phase noise and low fractional spurs [J]. IEEE Journal of Solid-State Circuits, 2017, 52(12): 3329. DOI:10.1109/JSSC.2017.2746669
- [5] CHEN Linbin, HAN Jie, LIU Weiqiang, et al. Algorithm and design of a fully parallel approximate coordinate rotation digital computer (CORDIC) [J]. IEEE Transactions on Multi-Scale Computing Systems, 2017, 3(3): 139. DOI:10.1109/TMSCS.2017.2696003
- [6] NGUYEN H T, NGUYEN X T, PHAM C K. A low-latency parallel pipeline CORDIC [J]. IEICE Transactions on Electronics, 2017, 100(4): 391. DOI:10.1587/transele.E100.C.391
- [7] GARCIA E O, CUMPLIDO R, ARIAS M. Pipelined CORDIC design on FPGA for a digital sine and cosine waves generator [C]// 2006 3rd International Conference on Electrical & Electronics Engineering. Veracruz, Mexico: IEEE, 2006. DOI: 10.1109/ICEEE.2006.251917
- [8] NGUYEN H T, NGUYEN X T, PHAM C K. A low-resource low-latency hybrid adaptive CORDIC in 180-nm CMOS technology [C]// TENCON 2015-2015 IEEE Region 10 Conference. Macao, China;

IEEE, 2015. DOI:10.1109/TENCON.2015.7372987

[9]姚亚峰, 邹凌志, 王巍, 等. 低功耗免查找表 CORDIC 算法[J]. 哈尔滨工业大学学报, 2017, 49(11): 109. DOI:10.11918/j.issn.0367-6234.201704019

YAO Yafeng, ZOU Lingzhi, WANG Wei, et al. Low-consumption and LUT-omitted CORDIC algorithm[J]. Journal of Harbin Institute of Technology, 2017, 49(11): 109. DOI:10.11918/j.issn.0367-6234.201704019

[10]SHUKLA R, RAY K C. Low latency hybrid CORDIC algorithm [J]. IEEE Transactions on Computers, 2014, 63(12): 3066. DOI:10.1109/TC.2013.173

[11]MUNOZ S D, HORMIGO J. High-throughput FPGA implementation of QR decomposition[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2015, 62(9): 861. DOI: 10.1109/TCSII.2015.2435753

[12]TAKAGI N, ASADA T, YAJIMA S. Redundant CORDIC methods with a constant scale factor for sine and cosine computation[J]. IEEE Transactions on Computers, 1991, 40(9): 989. DOI:10.1109/12.83660

[13]MADISETTI A, KWENTUS A Y, WILLSON A N. A 100-MHz, 16-b, direct digital frequency synthesizer with a 100-dBc spurious-free dynamic range [J]. IEEE Journal of Solid-State Circuits, 1999, 34(8): 1034. DOI:10.1109/4.777100

[14]姚亚峰, 付东兵, 杨晓非. 基于 CORDIC 改进算法的高速 DDS 电路设计[J]. 华中科技大学学报(自然科学版), 2009, 37(2): 25. DOI:10.13245/j.hust.2009.02.018

YAO Yafeng, FU Dongbing, YANG Xiaofei. Implement of high speed DDS circuit design using improved CORDIC algorithm[J]. Journal of Huazhong University of Science and Technology (Natural Science Edition), 2009(2): 25. DOI:10.13245/j.hust.2009.02.018

[15]ZHANG Junan, LI Guangjun, ZHANG Ruitao, et al. A 2.5-GHz direct digital frequency synthesizer in 0.18 μm CMOS[J]. Analog Integrated Circuits & Signal Processing, 2015, 82(2): 369. DOI: 10.1007/s10470-014-0475-x

(编辑 苗秀芝)

封面图片说明

2019 年 5 期封面来自论文“Tent 混沌和模拟退火改进的飞蛾扑火优化算法”,是飞蛾夜间飞行时的横向定位原理示意图,也是飞蛾扑火优化算法(MFO)的灵感来源.飞蛾在夜间飞行时常常保持与月亮的夹角不变,由于与月亮距离很远,所以飞蛾与月亮不同时刻连线一直平行,使飞蛾可以沿直线飞行.然而在现实中,飞蛾与火焰距离很近,飞蛾仍然保持与火焰的夹角不变,使得飞蛾沿着等角螺线向火焰飞行,于是就有了“飞蛾扑火”.澳大利亚 Mirjalili 正是受到这个等角螺线函数的启发从而发明了 MFO 算法.针对标准 MFO 存在的易陷入局部最优陷阱、全局寻优能力不足的问题,借鉴混沌序列、模拟退火算法和遗传算法,提出 Tent 混沌和模拟退火改进的飞蛾扑火优化算法.首先,通过 Tent 混沌序列初始化种群,增加种群多样性;然后对当前最优解增加扰动产生新解,并与当前最优解按比例杂交相加,根据模拟退火算法中的 Metropolis 准则判断是否接受杂交后的新解,最终获得最优解.分别使用复杂高维基准函数和航迹规划问题测试算法性能.仿真结果表明,改进的飞蛾扑火优化算法能够有效跳出局部最优解,寻优精度更高,收敛速度更快,具有更好的寻优性能.

(图文提供:岳龙飞,杨任农,张一杰,于洋,张振兴.)