

DOI:10.11918/202001018

双模冗余汉明码的设计与验证

乔冰涛^{1,2}, 吴旭凡¹, 刘海静¹, 王正¹, 董业民^{1,2}

(1. 信息功能材料国家重点实验室(中国科学院 上海微系统与信息技术研究所), 上海, 200050;
2. 材料与光电研究中心(中国科学院大学), 北京 100049)

摘要: 集成电路芯片工作在电磁环境复杂的空间环境中, 容易受到高能粒子的影响发生软错误. 在芯片内, 存储单元所占面积超过一半以上, 对存储器单元进行加固是提升芯片可靠性的重要途径之一. 因此, 本文对汉明码做出改进, 提出了一种双模冗余汉明码, 该方法能够修正存储单元中出现的一位翻转和两位翻转. 首先, 对汉明码编码模块进行逻辑优化, 有效减少了编码电路的延迟, 再把该模块生成的校验码进行双模冗余处理, 作为双模冗余汉明码编码模块的输出. 之后依据汉明码解码规则分别对每份校验码与原码的组合进行处理, 得到修正后的数据位与两位翻转标志位. 通过分析发现当两位翻转未同时发生在原码内时, 可以依据两位错误标志位的值得到正确的输出. 最后, 采用版图分割技术消除了两位原码同时翻转的情况, 进一步提高了存储器的可靠性. 在本文中, 分别实现了字长为4、8和11的双模冗余汉明码, 并与其它修正码的性能进行比较, 结果表明: 它们的电路延迟分别为8位字长汉明码的85%、89%和96%, 低于两位修正能力的BCH码.

关键词: 双模冗余; 纠错码; 高可靠; 存储器; 两位翻转

中图分类号: TP302.8

文献标志码: A

文章编号: 0367-6234(2020)10-0161-06

Design and verification of dual modular redundancy hamming code

QIAO Bingtao^{1,2}, WU Xufan¹, LIU Haijing¹, WANG Zheng¹, DONG Yemin^{1,2}

(1. State Key Laboratory of Functional Materials for Informatics (Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences), Shanghai 200050, China; 2. Center of Materials Science and Optoelectronics Engineering (University of Chinese Academy of Sciences), Beijing 100049, China)

Abstract: Integrated circuit chips work in complicated electromagnetic environments, which is susceptible to soft errors caused by high-energy particles. In a chip, the memory accounts for more than half of the total area, making it important to improve the reliability of the processor by hardening the memory. Therefore, a dual modular redundancy hamming (DMRH) code is designed and proposed in this paper, which can mitigate one-bit and two-bit upset in memory. First, logic optimization was carried out in the hamming code encoder to reduce the delay of the circuit, and the parity generated by this module was processed with dual modular redundancy technology, which was used as the output of the DMRH encoder. Then, the combinations of each parity and original code were processed according to the hamming decoding rules, and the revised data and two-bit upset flag were obtained. Through analysis, it was found that when the two-bit upset did not happen in the original code at the same time, the correct output could be obtained according to the two-bit upset flag. Finally, the layout segmentation technology was used to suppress the two-bit upset in the original code, which further improved the reliability of the memory. In this study, three types of DMRH codes with word lengths of 4, 8, and 11 were realized. Compared with other correction codes, results show that the circuit delay of the codes obtained in this study was 85%, 89%, and 96% of the eight-bit hamming code, which was lower than the BCH codes.

Keywords: dual modular redundancy; error correction code; high reliability; memory; two-bit upset

星载电子系统容易受到空间高能粒子、质子和中子的影响发生单粒子效应(Single Event Effect, SEE), 从而产生软错误, 在大规模集成电路芯片系统中, 静态随机存储器(Static Random Access Memory, SRAM)约占一半以上的面积^[1], 系统中出

现的错误绝大部分也与存储器有关. 因此, 对存储器单元进行加固是降低集成电路系统软错误率(Soft Error Radio, SER)的重要途径之一^[2-3].

随着半导体工艺节点的不断降低, SRAM对SEE更加敏感. 当集成电路尺寸降低到深亚微米($<0.18\ \mu\text{m}$)以下时, 存储器内受单粒子翻转(Single Event Upsets, SEU)的影响不会明显增加, 而是逐渐趋于饱和^[4]. 但是由于工艺节点的降低, 相同面积内摆放了更多的存储单元, 使得存储器发

收稿日期: 2020-01-03

基金项目: 中科院重点部署项目(KGFZD-135-16-015)

作者简介: 乔冰涛(1994—), 男, 硕士研究生;

董业民(1974—), 男, 研究员, 博士生导师

通信作者: 董业民, ymdong@mail.sim.ac.cn

生多位翻转 (Multiple Bits Upset, MBU) 的概率大大增加^[5-6].

为了提高 SRAM 单元抗 SEE 的能力,常用的加固方法可以分为两种,一种为工艺加固,另一种为设计加固. 工艺加固主要采用 SOI 或者 GaAs 工艺^[7-8],能够取得很好的抗辐射效果;设计加固主要可以分为电路级、版图级和系统级加固. 电路加固通过加入反馈电路来维持存储节点电容上的电荷值来增强抗辐射效果,如双互锁存储单元 (Dual Interlocked storage Cell, DICE) 结构^[9];版图加固通常采用版图交错技术^[10],它把不同字上的位单元分配成在物理版图上相邻的单元,从而避免同一个字上的多个位单元同时发生翻转,但是这种方法会使得存储器布线增长,当交错位数变多时,上述问题会更加明显. 系统级加固主要采用检错纠错 (Error Detection And Correction, EDAC) 技术,常用的 EDAC 编码有汉明码^[11]、BCH 码^[12]和 RS 码^[13]. 汉明码译码电路比较简单,但是只能纠正一位翻转或者检测出两位翻转;BCH 码和 RS 码可以修正存储器中出现的多位翻转,但是他们的编码和译码电路比较复杂^[14-15],需要以查找表的方式处理高阶域的乘法运算,具有较大的电路延迟.

因此,本文针对系统级加固提出一种双模冗余汉明 (Dual Modular Redundancy Hamming, DMRH) 码,它能够修正存储器中出现的一位翻转和两位翻转,且电路延迟小于两位修正能力的 BCH 码.

1 双模冗余汉明码的设计

1.1 纠一检二汉明码

汉明码基本原则是在 n 位原码的基础上插入 k 位的校验码,校验码依据汉明码编码规则生成,记录了原码的部分信息,能够在所存储的数据中出现一位翻转时对错误进行修正^[16-17],其中 n 与 k 的关系式为

$$2^k \geq n + k + 1. \tag{1}$$

在需要读取所存储的 $n + k$ 位数据之前,依据汉明码的解码规则,生成 k 位状态码 (记为 $S_0 \sim S_{k-1}$). 若所存储的数据中未发生翻转, $S_0 \sim S_{k-1}$ 每一位状态码的值均为 0;若数据在存储过程中发生了一位错误,出错位置不同,状态码的值也将不同. 因此,可以根据状态码的值确定翻转的位置,对错误进行修正.

此外,在汉明码的基础上再增加一位校验位 (记为 P_k) 就可实现纠一检二的功能. 在汉明码编码阶段, P_k 生成式为将 $n + k$ 位数据进行异或运算.

在需要读取所存储的 $n + k + 1$ 位数据之前,使

用所读出来的 n 位原码与 $k + 1$ 位校验码相异或,得到 $k + 1$ 位的状态码 (记为 S_k). 在纠一检二汉明码中,若 S_k 的值为 0,同时 $S_0 \sim S_{k-1}$ 全为 0,则代表所存储数据内未发生翻转;若 S_k 的值为 1,则代表所存储数据中出现了一位翻转;若 S_k 的值为 0,同时 $S_0 \sim S_{k-1}$ 不全为 0,则代表数据中出现了两位翻转.

在表 1 中,假设 $k = 4$,说明状态码与错误类型对照关系. 表中记 $S_0 \sim S_{k-1}$ 为 S_t , $\times \times \times \times$ 为不等于 0000 的值.

表 1 状态码与错误类型对照表

Tab. 1 Contrast between status code and different error types		
S_t	S_k	错误类型
0000	0	未出错
$\times \times \times \times$	1	一位错
$\times \times \times \times$	0	两位错

注: $\times \times \times \times$ 不等于 0000.

在汉明码解码模块内定义信号两位翻转标志位 S_2err_flag , 则其生成关系式为

$$S_2err_flag = (S_k = 0 \ \&\& S_t \neq 4'b0000) ? 1'b1 : 1'b0. \tag{2}$$

当数据中出现两位翻转时, S_2err_flag 值为 1; 否则该值为 0.

1.2 双模冗余汉明码的设计

为了提高 SRAM 单元抗 MBU 的能力,本文在前节纠一检二汉明码的基础上,提出了一种双模冗余汉明码. DMRH 码各模块说明如下:

1.2.1 编码模块

DMRH 码编码模块如图 1 所示,输入数据将首先经过优化后的汉明码编码模块. 与前节不同的是,在优化后的编码模块内,通过将 $P_0 \sim P_{k-1}$ 的生成式代入 P_k 的生成式,将原来 $n + k$ 位的异或运算进行了化简,有效降低了电路的延迟.

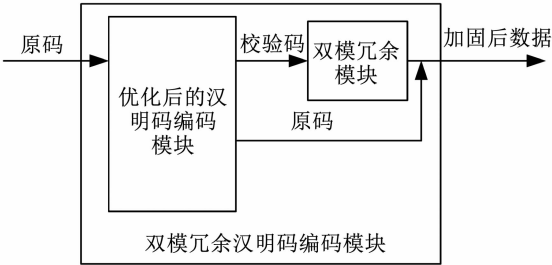


图 1 双模冗余汉明码编码电路

Fig. 1 Encode circuit for DMRH code

之后添加了双模冗余模块对 $k + 1$ 校验码做处理,得到 $2(k + 1)$ 位校验码与 n 位原码组成加固后的数据,作为双模冗余汉明码编码模块的输出.

1.2.2 解码模块

DMRH 码解码模块如图 2 所示,待解码的数据包括原码与两份校验码(分别记为 $P0$ 和 $P1$).

依据汉明码的解码规则对校验码 $P0$ 和原码做处理得到修正后数据 $OUT0$ 和两位错误标志位 $S0_2err_flag$;由校验码 $P1$ 和原码得到修正后数据 $OUT1$ 和两位错误标志位 $S1_2err_flag$;MUX 模块将依据 $S0_2err_flag$ 和 $S1_2err_flag$ 的值从 $OUT0$ 和 $OUT1$ 中选择正确的数据作为输出.

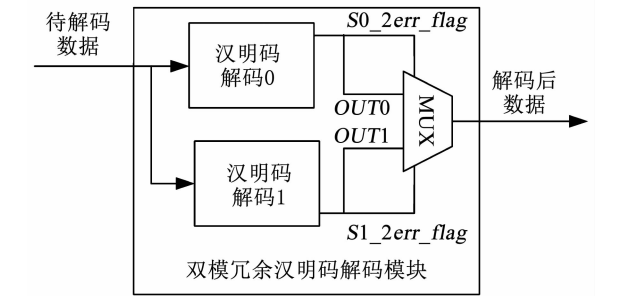


图 2 双模冗余汉明码解码电路
Fig. 2 Decode circuit for DMRH code

如表 2 所示,记原码为 D ,当所存储的数据中出现一位翻转到两位翻转时,修正后的数据为 $OUT0$ 和 $OUT1$,两位翻转标志位为 $S0_2err_flag$ 和 $S1_2err_flag$,表中共有 9 种不同的翻转类型. 可以看到当两位翻转标志位为 0 时,解码得到的数据是正确的.

表 2 一位翻转与两位翻转输出结果分析
Tab. 2 Analysis for results of one-bit and two-bit upset

		错误出现位置			两位错误标志位(1 为有效)		解码得到的数据	
	序号	D	$P0$	$P1$	$S0_2err_flag$	$S1_2err_flag$	$OUT0$	$OUT1$
一位错误	1	0	0	1	0	0	✓	✓
	2	0	1	0	0	0	✓	✓
	3	1	0	0	0	0	✓	✓
二位错误	4	0	1	1	0	0	✓	✓
	5	1	0	1	0	1	✓	×
	6	1	1	0	1	0	×	✓
	7	0	0	2	0	1	✓	×
	8	0	2	0	1	0	×	✓
	9	2	0	0	1	1	×	×

由于版图分割技术消除了两位翻转同时出现在原码 D 内的情况, $S0_2err_flag$ 和 $S1_2err_flag$ 不会同时为 1. 本文选用 $S0_2err_flag$ 作为判定条件,当该值为 1 时,标志原码 D 与校验码 $P0$ 内出现了两位错误,解码后得到的 $OUT0$ 是错误的,此时应选择 $OUT1$ 作为输出;同理,当该值为 0 时,选择 $OUT0$ 作为输出.

本节在纠一检二汉明码的基础上设计了两位修

因此,我们可以依据两位翻转标志位选择正确的数据作为解码模块的输出. 但是,当两位翻转同时发生在数据位 D 内时,两位翻转标志位同时为 1,此时,并不能从 $OUT0$ 和 $OUT1$ 内获得正确的数据作为解码模块的输出.

1.2.3 版图分割技术

为了进一步提高 DMRH 码的可靠性,本文依据版图分割技术对校验码与原码排序,消除了两位翻转同时发生在原码 D 内的情况. 排序的基本原则为每两位原码之间至少要有一位校验码间隔. 因此 n 与 k 还应该有关系为

$$n \leq 2k + 3. \tag{3}$$

当高能粒子引起所存储的数据中发生两位翻转时,采用版图分割技术后,可能翻转的位置会出现以下 3 种情况:

- a) 翻转的是 $P0$ 内一位校验码和一位原码 D ;
- b) 翻转的是 $P1$ 内一位校验码和一位原码 D ;
- c) 翻转的是两位校验码.

由表 2 可知,a 情况对应表内序号 6 的情况;b 情况对应表内序号 5 的情况;c 情况对应了表内序号 4、7 和 8 对应的情况. 以上情况均可以通过 $S0_2err_flag$ 和 $S1_2err_flag$ 的值从 $OUT0$ 和 $OUT1$ 中选择出正确的数据作为 DMRH 码的输出. 因此,本文所设计的 MUX 模块解码流程如图 3 所示.

正能力的 DMRH 码. 接下来本文以原码 $n = 8$ 为例,实现该修正码.

2 双模冗余汉明码的实现

2.1 双模冗余汉明码编码电路的设计

当原码为 8 位时(记为 $D_0 \sim D_7$),依据 DMRH 码的编码规则,需要 10 位校验码,其生成方式为

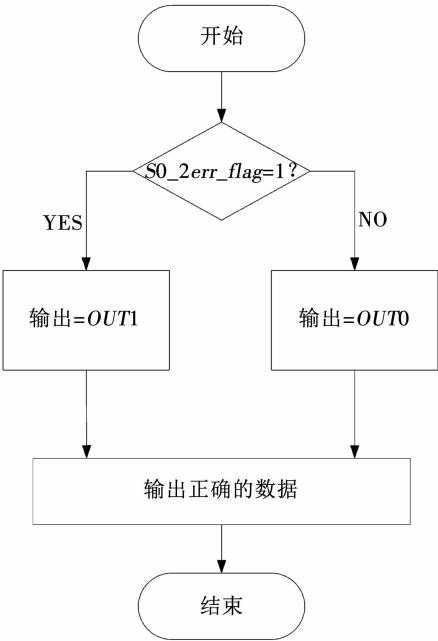


图 3 双模冗余汉明码解码流程图

Fig. 3 Flow chart for decoding of DMRH code

$$P0[0] = D_0 \wedge D_1 \wedge D_3 \wedge D_4 \wedge D_6,$$
$$P0[1] = D_0 \wedge D_2 \wedge D_3 \wedge D_5 \wedge D_6,$$
$$P0[2] = D_1 \wedge D_2 \wedge D_3 \wedge D_7,$$

$$P0[3] = D_4 \wedge D_5 \wedge D_6 \wedge D_7,$$
$$P0[4] = D_0 \wedge D_1 \wedge D_2 \wedge D_4 \wedge D_5 \wedge D_6,$$
$$P1[0] = D_0 \wedge D_1 \wedge D_3 \wedge D_4 \wedge D_6,$$
$$P1[1] = D_0 \wedge D_2 \wedge D_3 \wedge D_5 \wedge D_6,$$
$$P1[2] = D_1 \wedge D_2 \wedge D_3 \wedge D_7,$$
$$P1[3] = D_4 \wedge D_5 \wedge D_6 \wedge D_7,$$
$$P1[4] = D_0 \wedge D_1 \wedge D_2 \wedge D_4 \wedge D_5 \wedge D_6.$$

(4)

式中, $\wedge$ 为异或运算.

$P0[4]$ 和 $P1[4]$ 分别为 $D_0 \sim D_7$ 、 $P0[0] \sim P0[3]$ 和 $P1[0] \sim P1[3]$ 的异或运算的化简结果,使得原来的 12 位数据相异或减少到了 6 位相异或,有效减小了电路的延迟.

2.2 版图分割技术

当输入的 8 位原码经过汉明码编码模块后,若按照图 4(a) 的顺序存入存储单元,那么当高能粒子所引起的两位翻转全部出现在原码 D 内时,会影响解码后数据的正确性.

因此采用版图分割技术把原码 D 与校验码 $P0$ 、 $P1$ 排序,基本原则为每两位原码之间至少要有一位校验码间隔.使用版图分割法后,当原码为 8 时,版图结构如图 4(b) 所示.

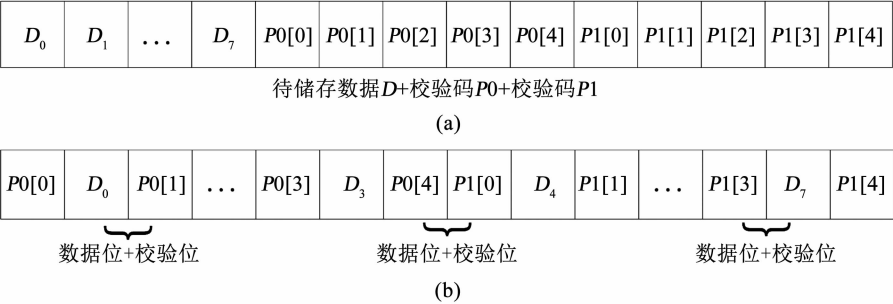


图 4 (a) 未采用版图分割技术的 8 位宽度字的版图结构; (b) 采用版图分割技术的 8 位宽度字的版图结构

Fig. 4 (a) Architecture of eight-bit-word of memory without layout segmentation technology; (b) Architecture of eight-bit-word of memory with layout segmentation technology

可以看到,当所存储数据在 高能粒子影响下发生两位翻转时,有可能发生以下 3 种情况:

- a) 一位原码和 $P0$ 内一位校验位翻转;
- b) $P0$ 内一位校验位与 $P1$ 内一位校验位翻转;
- c) $P1$ 内一位校验位和一位原码翻转.

由表 2 可知,以上 3 种情况分别对应表内序号 6、序号 4 和序号 5 代表的情况,可以结合两位错误标志位的值从 $OUT0$ 和 $OUT1$ 选择正确的数据作为输出.

2.3 双模冗余汉明码解码电路的设计

当需要从存储器中读取数据时,记存储器内读出的数据分别为 D' 、 $P0'$ 和 $P1'$,接下来需要按照汉

明码的解码规则生成对应的状态码.

由读出的数据 D' 和 $P0'$ 生成的状态码 $S0$ 为

$$S0[0] = P0'[0] \wedge D'_0 \wedge D'_1 \wedge D'_3 \wedge D'_4 \wedge D'_6,$$
$$S0[1] = P0'[1] \wedge D'_0 \wedge D'_2 \wedge D'_3 \wedge D'_5 \wedge D'_6,$$
$$S0[2] = P0'[2] \wedge D'_1 \wedge D'_2 \wedge D'_3 \wedge D'_7,$$
$$S0[3] = P0'[3] \wedge D'_4 \wedge D'_5 \wedge D'_6 \wedge D'_7,$$
$$S0[4] = P0'[0] \wedge P0'[1] \wedge P0'[2] \wedge P0'[3] \wedge P0'[4] \wedge D'_0 \wedge D'_1 \wedge D'_2 \wedge D'_3 \wedge D'_4 \wedge D'_5 \wedge D'_6 \wedge D'_7.$$

(5)

在得到状态码 $S0$ 的值后,依据汉明码解码规则可得翻转数据发生的位置,进而得到修正后的数据 $OUT0$,同时可得两位错误标志位 $S0_err_flag$ 的值,其生成关系式为

$$S0_2err_flag = (S0[4] = 0 \ \&\& \ S0[3:0] \neq 4'b0000)? \\ 1'b1:1'b0, \tag{6}$$

由读出的数据 D' 和 $P1'$ 生成的状态码 $S1$ 为

$$\begin{aligned} S1[0] &= P1'[0] \wedge D'_0 \wedge D'_1 \wedge D'_3 \wedge D'_4 \wedge D'_6, \\ S1[1] &= P1'[1] \wedge D'_0 \wedge D'_2 \wedge D'_3 \wedge D'_5 \wedge D'_6, \\ S1[2] &= P1'[2] \wedge D'_1 \wedge D'_2 \wedge D'_3 \wedge D'_7, \\ S1[3] &= P1'[3] \wedge D'_4 \wedge D'_5 \wedge D'_6 \wedge D'_7, \\ S1[4] &= P1'[0] \wedge P1'[1] \wedge P1'[2] \wedge P1'[3] \wedge \\ &P1'[4] \wedge D'_0 \wedge D'_1 \wedge D'_2 \wedge D'_3 \wedge D'_4 \wedge D'_5 \wedge D'_6 \wedge D'_7. \end{aligned} \tag{7}$$

在得到状态码 $S1$ 的值后, 依据汉明码解码规则可得翻转数据发生的位置, 进而得到修正后的数据 $OUT1$, 同时可得两位错误标志位 $S1_2err_flag$ 的值, 其生成关系式为

$$S1_2err_flag = (S1[4] = 0 \ \&\& \ S1[3:0] \neq 4'b0000)? \\ 1'b1:1'b0 \tag{8}$$

最后, 依据 $S0_2err_flag$ 和 $S1_2err_flag$ 的值, 从 $OUT0$ 和 $OUT1$ 里面选择出正确的数据作为输出, 其具体流程如图 3 所示.

在解码电路的设计中, 本文通过分析存储器内发生两位翻转的情况, 发现当翻转位置不同时, 可以依据状态码中两位错误标志位的值来判定数据中发生翻转的位置, 之后结合版图分割技术完成了解码电路算法的设计.

3 双模冗余汉明码的验证

双模冗余汉明码测试系统的电路如图 5 所示, 为了验证它的纠错能力, 添加了错误注入单元, 用于向存储器中读出的数据中注入错误. 在 $Test_en$ 为 0 时, 为正常工作模式, 从存储器内读出的数据不作任何处理, 直接交给解码模块解码. 当 $Test_en$ 为 1 时, 进入测试模式, 从存储器内读出的数据与测试变量 err 相异或, 对数据进行修改. 之后, 再把修改后的数据交由解码模块解码. 若解码后的数据与写入的数据一致, 则认为加固方法有效, 可以修正所存储数据中出现的两位错误.

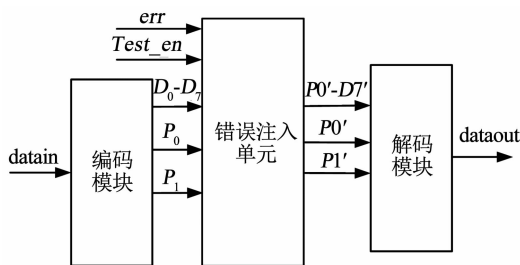


图 5 双模冗余汉明码测试系统

Fig. 5 Test system of DMRH code

字长为 8 位的 DMRH 码的仿真结果如图 6 所示, 在 $Test_en$ 有效后, 通过 err 与加固后的数据相异或, 向数据中注入错误. 在时间段 $T0$ 内, 让 $(D_3、P0[4])$ 所存储的信息翻转, 此时 $S0_2err_flag$ 为 1, 选择 $OUT1$ 作为输出, 解码后得到的数据与原码相同. 在时间段 $T1$ 内, 分别仿真了向 $(P0[4]、P1[0])$ 与 $(P1[0]、D_4)$ 注入错误的情况, 均得到预期的效果. 最后遍历了所有可能的一位翻转与两位翻转的情况, 仿真结果表明, DMRH 能够修正数据中出现的错误, 本文提出的加固方法是有效的.

当工艺节点降低到 130 nm 时, 大量试验数据表明其产生两位翻转的次数占总翻转次数的 1% 左右, 三位翻转的次数占总翻转次数的 0.1% 左右^[18]. 因此, 相比于一位修正的汉明码, 使用两位修正能力的 DMRH 码能够提高存储单元的可靠性.

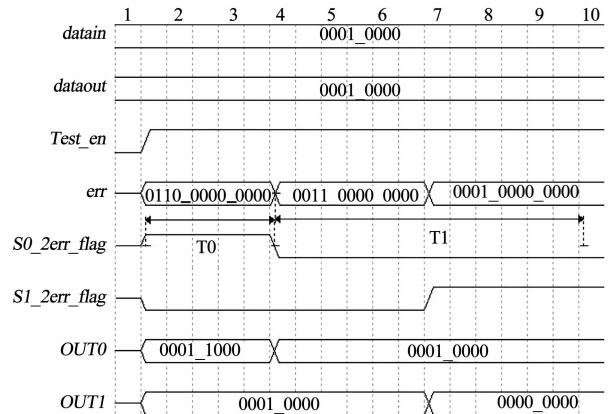


图 6 双模冗余汉明码仿真结果

Fig. 6 Simulation results of DMRH code

4 双模冗余汉明码性能分析

在本文中, 共设计了三种 DMRH 码, 分别对应字长为 4、8 和 11, 与其他修正码的面积、功耗和延迟参数对比如表 3 所示. 以汉明码为参考, 字长为 4、8 和 11 的 DMRH 码的电路延迟分别是汉明码的 85%、89% 和 96%, 低于两位修正能力的 BCH 码.

5 结论

本文提出了一种双模冗余汉明码, 它能够抑制存储单元中出现的两位翻转. 首先, 对汉明码编码模块进行逻辑优化, 有效减少了编码电路的延迟, 再把该模块生成的校验码进行双模冗余处理, 作为双模冗余汉明码编码模块的输出. 之后依据汉明码解码规则分别对每份校验码与原码的组合进行处理, 通过分析发现当两位翻转未同时发生在原码内时, 可以依据两位错误标志位的值得到正确的输出. 最后,

表 3 修正电路的面积、功耗延迟参数列表

Tab. 3 Parameters of area, power, and delay for different ECC circuits

加固存储器	待加固数据位宽	校验位	面积/ μm^2	功耗/ μW	延迟/ns	比率/%			纠错能力
						面积	功耗	延迟	
汉明码	8	5	1 034	219.1	4.04	100	100	100	1
BCH 码	7	8	2 033	179.7	5.05	197	82	125	2
DMRH 码	4	8	879	136.7	3.44	85	62	85	2
DMRH 码	8	10	1 857	378.8	3.60	179	173	89	2
DMRH 码	11	10	2 402	403.0	3.88	232	184	96	2

采用版图分割技术有效抑制了两位原码同时翻转的情况,进一步提高了存储器的可靠性. 与其他的两位错误修正码相比,本文提出的 DMRH 码具有较低的电路延迟.

参考文献

[1] RAJSUMAN R. Design and test of large embedded memories: An overview[J]. IEEE Design & Test of Computers, 2001, 18(3): 16. DOI: 10.1109/54.922800

[2] JIN Yi, HUAN Yuxiang, CHU Haoming, et al. TMR group coding method for optimized SEU and MBU tolerant memory design[C]// Proceedings of 2018 IEEE International Symposium on Circuits and Systems. Florence: IEEE, 2018; 1. DOI: 10.1109/iscas.2018.8351105

[3] HUGHES H L, BENEDETTO J M. Radiation effects and hardening of MOS technology: devices and circuits[J]. IEEE Transactions on Nuclear Science, 2003, 50(3): 500. DOI: 10.1109/TNS.2003.812928

[4] BAUMANN R C. Radiation-induced soft errors in advanced semiconductor technologies[J]. IEEE Transactions on Device and Materials Reliability, 2005, 5(3): 305. DOI: 10.1109/tdmr.2005.853449

[5] GADLAGE M J, EATON P H, BENEDETTO J M, et al. Digital device error rate trends in advanced CMOS technologies[J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3466. DOI: 10.1109/TNS.2006.886212

[6] CARDARILLI G, BERTAZZONI S, SALMERI M, et al. Design of a fault tolerant solid state mass memory[J]. IEEE Transactions on Reliability, 1999, 52(4): 476. DOI: 10.1109/DFTVS.1999.802897

[7] GU Song, LIU Jie, BI Jinshun, et al. The impacts of heavy ion energy on single event upsets in SOI SRAMs[J]. IEEE Transactions on Nuclear Science, 2018, 65(5): 1091. DOI: 10.1109/TNS.2018.2817574

[8] HIRAO T, ITOH H, OKADA S, et al. Studies of single-event transient current induced in GaAs and Si diodes by energetic heavy ions[J]. Radiation Physics and Chemistry, 2001, 60(4/5): 269. DOI: 10.1016/s0969-806x(00)00360-1

[9] JIANG Jianwei, XU Yiran, ZHU Wenyi, et al. Quadruple cross-coupled latch-based 10T and 12T SRAM bit-cell designs for highly reliable terrestrial applications[J]. IEEE Transactions on Circuits

and Systems I: Regular Papers, 2019, 66(3): 967. DOI: 10.1109/TCSI.2018.2872507

[10] LACOE R C, OSBORN J V, KOGA R, et al. Application of hardness-by-design methodology to radiation-tolerant ASIC technologies[J]. IEEE Transactions on Nuclear Science, 2000, 47(6): 2334. DOI: 10.1109/23.903774

[11] TAUSCH H J, PUCHNER H. Analysis of hamming EDAC SRAMs using simplified birthday statistics[J]. IEEE Transactions on Nuclear Science, 2015, 62(4): 1771. DOI: 10.1109/TNS.2015.2444272

[12] MA Weijia, CUI Xiaole, LEE Chunglen. Enhanced error correction against multiple-bit-upset based on BCH code for SRAM[C]// Proceedings of 2013 IEEE 10th International Conference on ASIC. Shenzhen: IEEE, 2013; 1. DOI: 10.1109/ASICON.2013.6812015

[13] NEUBERGER G, DE LIMA KASTENSMIDT F G, REIS R. An automatic technique for optimizing Reed-Solomon codes to improve fault tolerance in memories[J]. IEEE Design & Test of Computers, 2005, 22(1): 50. DOI: 10.1109/MDT.2005.2

[14] XIE Zhiyuan, LI Na, LI Lele. New decoder for triple-error-correcting binary BCH codes[C]// Proceedings of 2008 3rd IEEE Conference on Industrial Electronics and Applications. Singapore: IEEE, 2008; 1426. DOI: 10.1109/ICIEA.2008.4582754

[15] LI Yueqian, SALEHI M. An efficient decoding algorithm for concatenated RS-convolutional codes[C]// Proceedings of 2009 43rd Annual Conference on Information Sciences and Systems. Baltimore, USA: IEEE, 2009; 411. DOI: 10.1109/CISS.2009.5054755

[16] SÁNCHEZ-MACIÁN A, REVIRIEGO P, MAESTRO J A. Hamming SEC-DAED and extended Hamming SEC-DED-TAED codes through selective shortening and bit placement[J]. IEEE Transactions on Device and Materials Reliability, 2014, 14(1): 574. DOI: 10.1109/TDMR.2012.2204753

[17] WANG Xincheng, XU Jianjun. Second hamming code used in radiation hardened communication environment[C]// Proceedings of 2016 Sixth International Conference on Instrumentation & Measurement, Computer, Communication and Control (IMCCC). Harbin: IEEE, 2016; 593. DOI: 10.1109/IMCCC.2016.141

[18] MAIZ J, HARELAND S, ZHANG K, et al. Characterization of multi-bit soft error events in advanced SRAMs[C]// Proceedings of IEEE International Electron Devices Meeting. Washington DC: IEEE, 2003. DOI: 10.1109/IEDM.2003.1269335

(编辑 苗秀芝)