

DOI:10.11918/202201068

用于新型符号的频偏补偿和解调的算法与电路

林 敏, 史靖炜, 丁福建, 姜 帆, 陈 潇

(特种光纤与光接入网重点实验室(上海大学), 上海 201900)

摘 要: 为提高传统脉冲位置调制 (pulse position modulation, PPM) 符号的频谱效率, 提出了一种新型码片内 4-PPM 符号调制方法, 在实现 1 Gbit/s 通信速率的同时, 又大大减少所需频谱资源。可在解调时, 该符号调制的误码率性能受到发射端时钟和接收端本地时钟之间的频率偏移的极大影响。针对此问题, 又提出了一种在模拟域对该符号进行频偏补偿, 并实现符号同步和高速数据解调的算法与电路。该电路系统通过消除接收数据和本地时钟的初始相差、提取两者的频偏信息、周期性改变本地时钟的瞬时相位 3 步实现频偏补偿, 并同时在第 3 步利用本地时钟对接收数据进行解调。为提高相位插值器 (phase interpolator, PI) 的线性度, 本文将延迟锁定环与 PI 相结合。在 2π 的插值范围内, 实现插值区间 32 个, 插值步长 992 个, 分辨率 2.016 ps, 最大差分非线性 (differential nonlinearity, DNL) 0.183° , 最大积分非线性 (integral nonlinearity, INL) 0.325° 。此外, 本文提出的相位控制算法有效避免了由电流毛刺所引起的输出相位突变。电路基于 UMC 40 nm CMOS RF LP 工艺进行设计与仿真。仿真结果表明: 本文所提出的算法与电路, 在典型工艺角下, 将接收数据和本地时钟间的 50×10^{-6} 频率偏差度降至 1.03×10^{-6} , 频偏补偿准确度达到 97.94%, 并实现 1 Gbit/s 的解调速率。该方法对高速 PPM 数据同步与解调具有良好的工程应用价值。

关键词: 脉冲位置调制; 码片内脉冲位置调制; 符号同步; 频偏补偿; 数据解调; 相位插值器; 延迟锁定环

中图分类号: TN432

文献标志码: A

文章编号: 0367-6234(2024)05-0121-09

Frequency offset compensation and demodulation algorithm and circuit for novel symbol

LIN Min, SHI Jingwei, DING Fujian, JIANG Fan, CHEN Xiao

(Key Laboratory of Specialty Fiber Optics and Optical Access Networks (Shanghai University), Shanghai 201900, China)

Abstract: For the improvement of the spectral efficiency of traditional pulse position modulation (PPM) symbol, a novel Intra-Chip 4-PPM symbol is proposed, which not only achieves a communication rate of 1 Gbit/s, but also greatly reduces the required spectrum resources. While in demodulation, the bit error rate performance of this modulation symbol is greatly affected by the frequency offset between the transmitter's clock and the receiver's clock. To address this issue, an algorithm and a circuit are proposed to compensate for the symbol frequency offset, realize symbol synchronization and enable high-speed data demodulation in the analog domain. The circuit system compensates for the frequency offset by eliminating the initial phase difference between the received data and the local clock, extracting their frequency offset information, and periodically changing the instantaneous phase of the local clock. Meanwhile, the local clock is utilized to demodulate the received data in the third step. In order to improve the linearity of the phase interpolator (PI), a delay-locked loop with the PI is introduced in this paper. Within the interpolation range of 2π , the circuit achieves 32 interpolation intervals, a step size of 992, a resolution of 2.016 ps, the maximum differential nonlinearity (DNL) of 0.183° , and the maximum integral nonlinearity (INL) of 0.325° . In addition, the phase control algorithm proposed in this paper effectively avoids the output phase jump caused by current glitch. Based on UMC 40 nm CMOS RF LP process, simulation results show that the proposed algorithm and circuit reduce the frequency deviation between received data and local clock from 50×10^{-6} to 1.03×10^{-6} and the accuracy of frequency offset compensation reach 97.94% in the typical corner, enabling a demodulation rate of 1 Gbit/s. This method has significant engineering application value for synchronization and demodulation of high-speed PPM data.

Keywords: pulse position modulation; Intra-Chip pulse position modulation; symbol synchronization; frequency offset compensation; data demodulation; phase interpolator; delay-locked loop

收稿日期: 2022-01-16; 录用日期: 2022-04-13; 网络首发日期: 2023-04-06

网络首发地址: <http://kns.cnki.net/kcms/detail/23.1235.t.20230404.1645.006.html>

基金项目: 国家重点研发计划(2019YFB2204500)

作者简介: 林 敏(1974—), 男, 教授, 博士生导师

通信作者: 林 敏, mlin99@shu.edu.cn

脉冲位置调制 (pulse position modulation, PPM)^[1] 凭借其功率效率高、抗干扰能力强等优点, 在无线通信及光通信系统中得到广泛应用。可当该调制信号在信道中传输时, 会受到多普勒频移效应^[2] 的干扰, 同时发射端和接收端的时间基准信号存在频率偏差, 这给接收端的正确解调带来极大挑战。因此, 调制信号需要进行同步^[3-4], 并消除频偏。在传统的数字同步方案中, 文献[5]通过在基带信号的频谱中插入导频信号, 然后在接收端获取该定时信号的方式实现位同步, 但该方法需要额外占用频带资源; 在文献[6]中, 通过数字锁相环, 产生一个高频时钟, 其时钟周期的大小决定了本地时钟的调节步长, 因此其频率往往为 PPM 符号的数十至数百倍, 通过比较 PPM 符号和本地时钟的相位, 逐步调整本地时钟相位, 使二者相位对齐, 最终完成位同步。但该方法需要锁相环产生更高频的时钟, 这对于高速 PPM 符号而言, 其成本和功耗代价是系统实现时所无法承受的。

基于上述原因, 本文提出了一种新型 PPM 符号调制方法, 并通过在模拟域对高速 PPM 符号进行频偏补偿和数据解调。该方法通过对接收数据进行初始相位追踪, 频偏信息提取, 瞬时相位补偿 3 个步骤消除接收数据与本地时钟的初始相位差, 并实现符号同步和频偏纠正, 最后通过解调器使补偿后的同步时钟对接收到的符号进行数据解调。最终, 在 40 nm CMOS 工艺下, 对该方法的电路进行设计、仿真和验证。实验结果表明, 在工艺、电压和温度 process voltage temperature, PVT) 变化时, 该方法均能实现良好的频偏补偿效果, 并能正确解调数据。

1 频偏补偿环路及数据解调设计

1.1 码片内 4-PPM 符号与整体系统架构

本文的数据帧结构见图 1, 一帧数据由帧头和帧体构成, 本文用 f_{external} 表示。帧体的长度会远远大于帧头。这种帧结构结合本文提出的新型 PPM 符号, 其工作过程如下: 在帧头位置, 即 $T_1 + T_2$ 时段, 是

包含发射端时钟信息的帧头符号, 其特点是帧头符号脉冲在每个符号周期中的起始位置始终保持不变; 在帧体位置, 即 T_3 时段, 是发射端调制后的 PPM 符号信息, 该调制符号利用符号脉冲宽度小于符号周期的特点, 令符号脉冲的起始位置随着输入数据信息变化在符号周期内产生变化。这种 PPM 符号有别于传统的 PPM 符号: 1) 传统的 PPM 符号是将一个符号周期划分成多个码片, 符号脉冲的宽度等于码片宽度, 脉冲位置的变化体现为脉冲整体出现在不同的码片位置, 但是脉冲位置在码片内不发生变化, 因此我们可以把传统的 PPM 符号称为码片间 PPM (Inter-Chip PPM) 符号; 2) 本文提出了一种新型 PPM 符号, 这种符号不再将其周期划分为多个码片, 而是视作一个完整的码片, 同时将符号脉冲宽度设定为小于符号周期, 这样符号脉冲可以通过在一个符号周期内的起始位置的变化来表征输入数据的调制信息。因为该调制方法的脉冲位置变化体现在一个码片周期内 (也就是一个符号周期内), 因此可以称作码片内 PPM 符号。例如符号脉冲宽度为 1.6 ns, 符号周期为 2 ns, 这样符号脉冲的起始位置可以在 400 ps 范围内变化, 并以此位置的变化来表征输入数据所含信息。Intra-Chip PPM 调制的特点, 使其特别适用于高速 PPM 符号调制系统, 并且在频谱效率和功耗效率方面都相对于传统的 Inter-Chip PPM, 有着明显的优势。

本文设计的电路与系统是针对符号速率为 500 MHz 的高速 PPM 符号调制解调系统。在传统的 Inter-Chip 4-PPM 符号中, 只有一个宽度为 500 ps 的码片为高电平, 其占据了约 2 GHz 带宽。在对调制符号所占带宽与数据解调难易程度进行折中考虑后, 本文提出的 Intra-Chip 4-PPM 符号将一个符号周期 (码片周期) 分成 16 个时隙, 每个时隙 125 ps, 使其 13 个时隙都为高电平, 其只占据约 615 MHz 的带宽。Intra-Chip 4-PPM 符号与 2 位二进制数的映射关系, 如图 1 右上角所示。

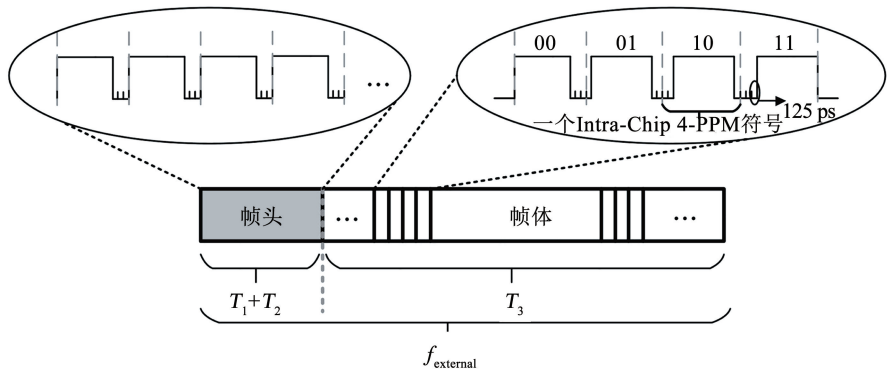


图 1 本文所提出的数据帧结构及 Intra-Chip 4-PPM 符号
Fig. 1 Proposed structure of data frame and Intra-Chip 4-PPM symbol

整个电路由以下几个部分组成: 延迟锁定环 (delay locked loop, DLL)、相位插值器 (phase interpolator, PI)、相位检测 (phase detector, PD)、数字锁定探测器 (digital lock detector, DLD)、顶层状态机 (top finite state machine, TFSM)、解调器 (demodulator) 等。其中 PI 又由相位选择 (phase

selector, PS)、相位插值核 (PI core)、电流舵式数模转换器 (current steer digital-to-analog converter, CS-DAC) 和双转单电路 (differential to single-ended, D-to-S) 构成。图 2 中的锁相环 (phase locked loop, PLL) 为 DLL 和 TFSM 提供参考输入时钟。

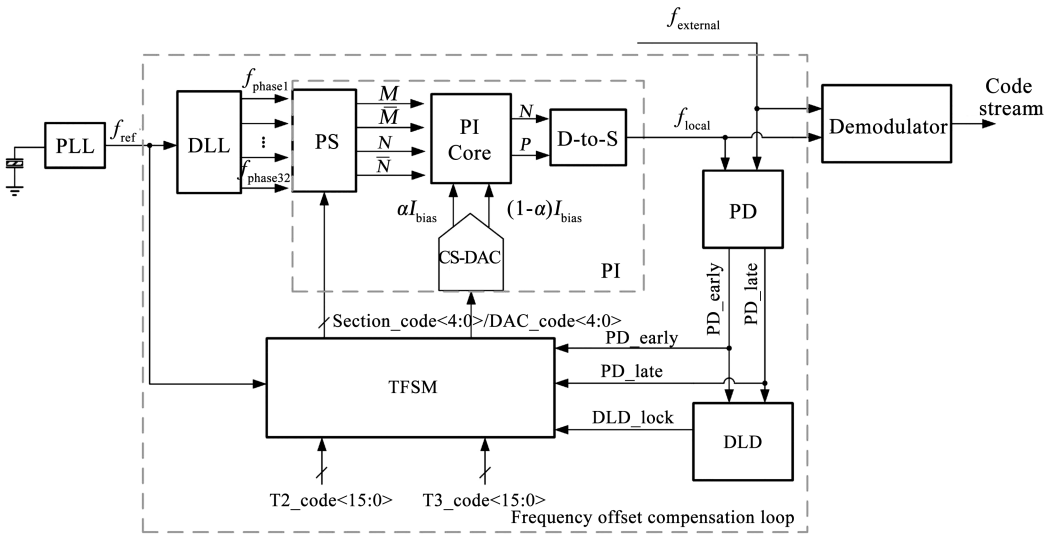


图 2 本文所提出的频率补偿原理

Fig. 2 Proposed principle of frequency offset compensation

整个环路的基本工作原理如下: 由 PLL 产生的参考时钟 f_{ref} 输入至 DLL 中, DLL 会产生 32 个同频等相差的时钟, 分别为 $f_{phase1}, f_{phase2}, \dots, f_{phase32}$ 。根据 TFSM 的返回值, PS 会从这些时钟中选出两对相邻的差分时钟, 作为 PI 核的输入信号, 同时 CS-DAC 分配电流权重, 得到插值输出信号 f_{local} 。PD 会依据 f_{local} 和 $f_{external}$ 上升沿的相位关系, 在输出端产生高低电平。若 f_{local} 超前 $f_{external}$, 则输出 PD_{early} 为 1 且 PD_{late} 为 0; 反之, 若 f_{local} 滞后 $f_{external}$, 则输出 PD_{early} 为 0, PD_{late} 为 1。TFSM 会根据 PD 的输出值, 产生相应的 $DAC_code<4:0>$, 使得整个环路构成负反馈。当该值要溢出时, TFSM 会改变 $Section_code<4:0>$, 使得 f_{local} 的相位能够连续变化, 并且在负反馈环路的作用下 f_{local} 会实时追踪 $f_{external}$ 的相位, 保持对齐。由于频偏的存在, 所以环路是一个动态变化的过程, 本文通过 DLD 来衡量环路是否动态锁定。在多个参考时钟周期内, 每一次上升沿来临时, DLD 会对 PD 的输出进行采样, 并分别统计 PD_{early} 和 PD_{late} 为 1 的个数, 然后将两者做差, 其绝对值若小于设定的阈值, 即判定动态锁定。

1.2 频偏补偿算法实现

由图 3(b) 所示, 本文的频偏补偿时序分为以下 3 个步骤:

1) 在 T_1 起始时刻, 接收机收到的是来自发送端

的数据帧头, 该帧头包含的脉冲在一个 Intra-Chip 4-PPM 符号中的起始位置是固定不变的, 即为时钟信号。该信号与本地时钟不仅存在频偏, 而且存在初始相位差。所以在这一段时间内, TFSM 会根据这两个信号的相位信息, 实时调整本地时钟的相位, 最终在 T_1 末尾时刻, 两者相位对齐, DLD 产生锁定标志位送给 TFSM。

2) 在 T_2 时段, 接收机接收到仍然是来自发送端的数据帧头, 但此时初始相位差已经通过步骤 1 完成消除, 因此 TFSM 可以通过记录 $DAC_code<4:0>$ 和 $Section_code<4:0>$ 的变化量, 得到由频偏所产生的累积相移量, 从而提取得到接收数据帧头与本地时钟的频偏信息。在这段时间内, 反馈环路仍然正常工作, 所以两者相位始终保持动态对齐。

3) 在 T_3 时段, 接收机收到的是来自发送端的数据帧体, 该帧体的符号数据为脉冲起始位置随调制信息变化的 Intra-Chip 4-PPM 信号, TFSM 会根据在 T_2 时段提取的频偏信息, 并通过 TFSM 和 PI 来改变本地时钟的瞬时相位, 纠正频偏, 以确保数据的正确解调。

图 3(a) 中为 T_1 至 T_3 时段 TFSM 的具体实现原理, 其中 $T2_code<15:0>$ 和 $T3_code<15:0>$ 均是可编程的 16 位 2 进制码, 前者定义了 T'_2 时段的持续时间, 后者定义了 T_3 时段的持续时间。

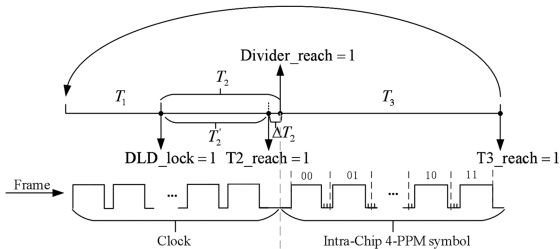
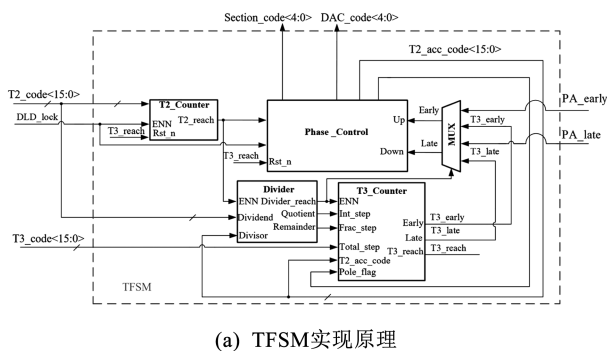


图 3 顶层状态机算法实现及频偏补偿时序

Fig. 3 Implementation of TFSM algorithm and timing of frequency offset compensation

在 T_1 末尾时刻, DLD 锁定, DLD_lock 变为 1, 此信号会送给 T2_Counter, 并做其使能信号, 启动计数, 通过计数来控制 T'_2 时长, 若计数值大于 T2_code < 15:0 >, 则该计数器停止计数且 T2_reach 输出为 1, 并将此信号输入至 Phase_Control 以及 Divider。Phase_Control 会根据 DLD_lock 和 T2_reach 这 2 个指示信号的跳变情况, 统计 T'_2 时段内 Early 和 Late 为 1 的数量, 并求出二者的差值, 用 T2_acc_code < 15:0 > 表示; 该差值等于 DAC_code < 4:0 > 的变化量, 而该变化量即为本地时钟在 T'_2 时间段内为了与数据帧头同步而产生的相位变化量, 因此提取了该时段由频偏所引起的相移量。在 T'_2 末尾时刻, T2_acc_code < 15:0 > 的值会输入到 Divider, 并作为除数。Divider 的另一端输入为 T2_code < 15:0 >, 表示被除数。Divider 的除法功能是通过移位实现的, 对于 16 位的 2 进制输入, 需要 16 个输入参考时钟, 才能完成除法功能。完成后, Divider_reach 变为 1, 并将其输出的商和余数(均为 16 位 2 进制数)送给 T3_Counter。Divider 工作时段对应图 3(b) 中的 ΔT_2 部分, 该模块的功能可描述为

$$\frac{T'_2 \text{ 时段参考时钟周期数}(T2_code < 15:0 >)}{T'_2 \text{ 时段 PI 变化步长数}(T2_acc_code < 15:0 >)} = \text{商} \cdots \text{余数} \quad (1)$$

式中商及余数表示要使 PI 中 DAC_code < 4:0 > 变化一次所需的参考时钟周期数。通常情况下, 周期数为大于 1 的小数。此外, 本地时钟与接收数据的频偏可能为正也可能为负, 所以在 T'_2 时段会通过 TFSM 来判断频偏极性, 并产生标志位 Pole_flag, 同样也送给 T3_Counter。至此, T'_2 时段结束。

当 Divider_reach 变为 1 后, 送给 Phase_Control 的 Early 和 Late 信号, 不是由 PD 产生, 而是由 T3_Counter 所产生。若 Pole_flag 值为 1, 则 T3_Counter 的 Early 输出是脉宽为一个参考时钟周期的脉冲信号, Late 输出恒为 0; 若 Pole_flag 值为 0, 则反之。2 个脉冲信号的间隔, 表示多久需进行一次瞬时相

位补偿, 其间隔为 Divider 的商或商加 1 乘以参考时钟周期。两者出现的权重, 取决于余数与除数的比值。此外, 当进入 T_3 时段, T3_Counter 开始计数, 当计数值超过 T3_code < 15:0 > 时, 计数停止, 并且 T3_reach 变为 1, 该信号同时会重置 T2_Counter 和 Phase_Control。至此, T_3 时段结束, 完成了一帧数据与本地时钟的频偏补偿。当下一帧数据来临时, 又会重复 T_1 至 T_3 的过程。

1.3 相位控制算法实现

在本文中, 本地时钟的相位调整区间有 32 个。DLL 通过延迟线产生了 32 个时钟, 相邻的两项时钟形成一个相位区间, $f_{\text{phase}1}$ 与 $f_{\text{phase}32}$ 也构成一个区间, 定义这些区间为 Section1, Section2, ..., Section32。在每个区间内, 又将其分成 32 个步长, 用 DAC_code < 4:0 > 表示。其值变化, 取决于当前采样 Early 和 Late 值的情况, 若 Early = 1 且 Late = 0, 则 DAC_code < 4:0 > 朝逆时针方向变化; 若 Early = 0 且 Late = 1, 则 DAC_code < 4:0 > 朝顺时针方向变化, 见图 4。

区间的交界处, 代表 DAC_code < 4:0 > 值即将溢出, 需要区间切换。以 Section13 和 Section14 为例, 当 Section13 中 DAC_code < 4:0 > 加至 31 需要跳转到 Section14 时, 传统做法会将 DAC_code < 4:0 > 清零, 并重新累加。这意味着, 在区间的交界处, 存在码字从“11111”直接跳变为“00000”的情况, 这对于 CS-DAC 而言, 会引入极大的电流毛刺, 从而影响 PI 的插值结果。针对这一问题, 本文在区间跳变时, 使得 DAC_code < 4:0 > 连续变化, 见图 4 左上部分。在 Early = 1 且 Late = 0 情况下, DAC_code < 4:0 > 在 Section13 是递增变化, 在 Section14 递减变化, 注意到在区间的交界处, 只存在一个 31, 即 DAC_code < 4:0 > 是从 Section13 的 31 跳变到 Section14 的 30, 同样在 Section14 和 15 的交界处, 其值从 Section14 的 0 跳变到 Section15 的 1, 这一现象是由 PI 的插值特性所决定的, 其原因将在后文中详细叙述。

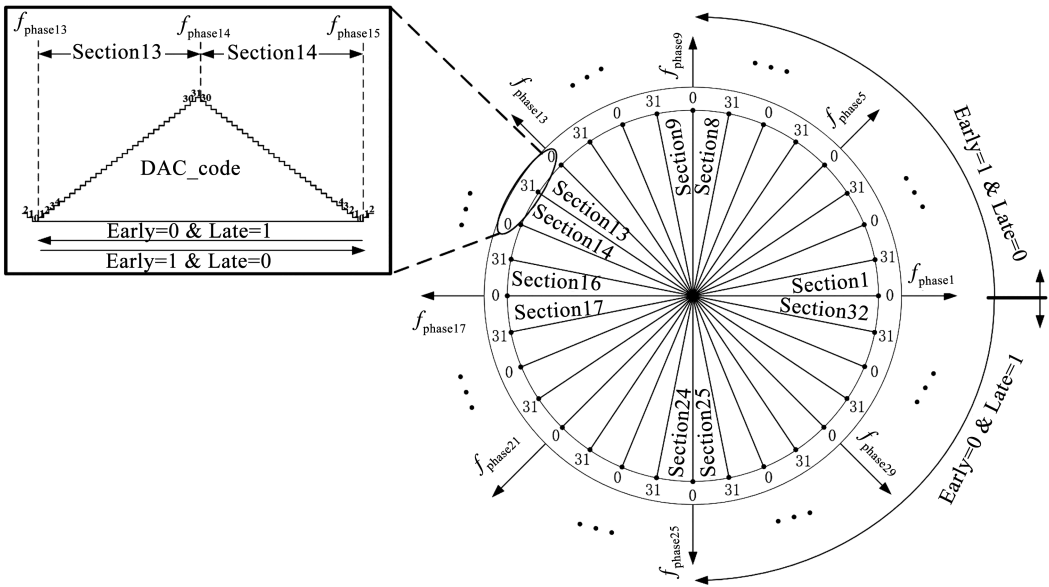


图 4 区间及 DAC 码字跳变原理

Fig. 4 Phase sections and principle of DAC code hopping

2 电路设计与实现

2.1 PI 电路设计与实现

2.1.1 PS 设计

PS 的作用是从 DLL 产生的 32 相时钟中选出 2 对相邻的差分时钟信号, 送给 PI 核进行相位插值。在区间跳变时, PS 为了使插值得到的时钟相位能够连续变化, 需要将相邻差分对位置对调, 与 DAC_code <4:0> 的连续变化相匹配, Section_code <4:0> 与输出时钟项对应关系见表 1。

表 1 相位选择器的输入码字与输出时钟项对应关系

Tab. 1 Relationship of input code and output clocks of phase selector

Section_code <4:0>	M	$\bar{M}$	N	$\bar{N}$
00000	f_{phase1}	f_{phase17}	f_{phase2}	f_{phase18}
00001	f_{phase3}	f_{phase19}	f_{phase2}	f_{phase18}
00010	f_{phase3}	f_{phase19}	f_{phase4}	f_{phase20}
00011	f_{phase5}	f_{phase21}	f_{phase4}	f_{phase20}
00100	f_{phase5}	f_{phase21}	f_{phase6}	f_{phase22}
00101	f_{phase7}	f_{phase23}	f_{phase6}	f_{phase22}
...	...	...	...	...
11101	f_{phase31}	f_{phase15}	f_{phase30}	f_{phase14}
11110	f_{phase31}	f_{phase15}	f_{phase32}	f_{phase16}
11111	f_{phase1}	f_{phase17}	f_{phase32}	f_{phase16}

2.1.2 CS-DAC 设计

图 5(a) 为 CS-DAC 的电路原理, 其中镜像电流源均采用了共源共栅的 NMOS 架构, 提高输出阻抗, 确保电流镜像的准确度^[7-8]。DAC 中的参考电

流为 I_{cell} , 该电流会分别按比例成倍镜像给 6 个模块。每个模块均有一对差分 NMOS 管, DAC_code <4:0> 中的高 2 位解码成温度计码, 与低 3 位二进制码一同送至差分对的栅极, 从而控制每个模块电流流向。由此可以得到 X 和 Y 点的电流分别为 αI_{bias} , $(1-\alpha)I_{\text{bias}}$, 其中 α 介于 0 和 1 之间。 I_{cell} 和 I_{bias} 的关系式为

$$I_{\text{bias}} = 31 * I_{\text{cell}} \tag{2}$$

2.1.3 PI 核设计

图 5(b) 是 PI 核及 D-to-S 电路原理图, PI 核中两对差分对的源端分别与 DAC 的输入端 X、Y 相连^[9-10]。因此, 流入两对差分对的电流大小取决于 DAC 如何分配两条支路的电流权重。两路尾电流经过相同尺寸的差分对, 在同一电阻负载端进行叠加, 形成输出电压。因此, PI 的输出可以定义为相邻差分输入时钟的权重叠加。PI 的输出瞬时相位与输入时钟相位的关系可表示为

$$\varphi_{\text{out}} = \alpha \varphi_{\text{in1}} + (1-\alpha) \varphi_{\text{in2}} \tag{3}$$

PI 插值的精度由 DAC_code <4:0> 码字位数决定, 两项相邻的输入时钟, 可以得到 32 相插值输出。但在本文中, 区间边界处会共用一个输入时钟, 即前一个区间的 M 输入, 仍做下一个区间的 M 输入, 为了保证 DAC_code <4:0> 的连续跳变, 在边界处只存在一个“0”或者“31”, 所以每个区间只有 31 个有效步长, 32 个区间一共 992 个步长, 这对于 500 MHz 的参考时钟, 可实现 2.016 ps 的调节步长。相较于文献[6], 本文不仅不需要多倍的高频时钟, 而且实现了更加精细的步长。遍历 DAC_code <4:0> ,

可得区间 1 的 32 相插值输出时钟,见图 6。PI 的线性度不仅与输出 RC 时间常数有关,而且与输入相位差 ΔT 也有关。在文献[11–13]中, ΔT 取值均较小,通过减小 $\Delta T/RC$ 的值,可提高 PI 的线性度。因此,本文选取的 ΔT 为参考时钟周期的 1/32,为 62.5 ps,来保证较好的线性度。由图 7 可见,在整个插值范围内,PI 的 DNL 最大为 0.502 LSB(least significant bit),即 0.183° ;INL 最大为 0.896 LSB,即 0.325° 。INL 在每个区间的边界处,得到明显改善,

这是由于 DLL 的校准作用。从系统层面而言,PI 除了实现插值移相的功能;在 T_2 时段,PI 和 TFSM 还需要统计由频差所造成的相移量。所以,本文的 PI 及 TFSM 也实现了传统时间数字转换器(time-to-digital converter,TDC)的功能,并且其测量范围理论上为无穷大,分辨率为 2.016 ps。因此,PI 在本文中实现功能复用,节省 TDC 的面积和功耗,避免由 TDC 所产生的测量误差。

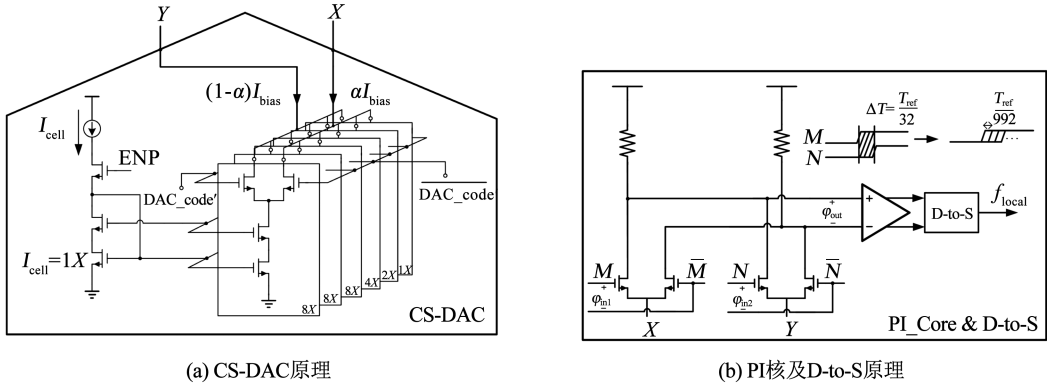


图 5 PI 电路原理

Fig. 5 Schematic of phase interpolator

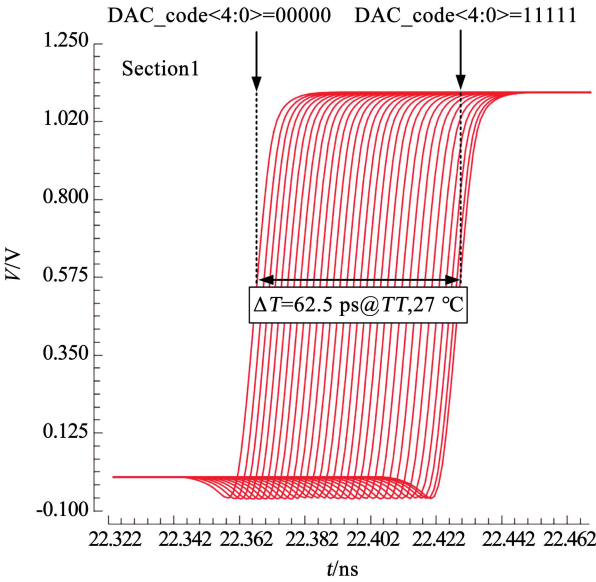


图 6 区间 1 的 32 相插值输出时钟波形

Fig. 6 Simulated waveforms with 32 interpolated clocks in Section 1

2.2 Demodulator 电路设计与实现

在 T_3 时段,系统会消除 f_{local} 和 $f_{external}$ 的频偏,实现本地时钟与数据帧体的符号同步。并且,在这一时段,会利用完成频偏补偿的 f_{local} 对数据帧体进行实时解调。本文的解调器由 DLL、采样触发器、解码器 3 部分构成,见图 8(a)。 f_{local} 输入至 DLL 中,产生 32 相时钟,两两相差 62.5 ps;取其中奇数项时钟

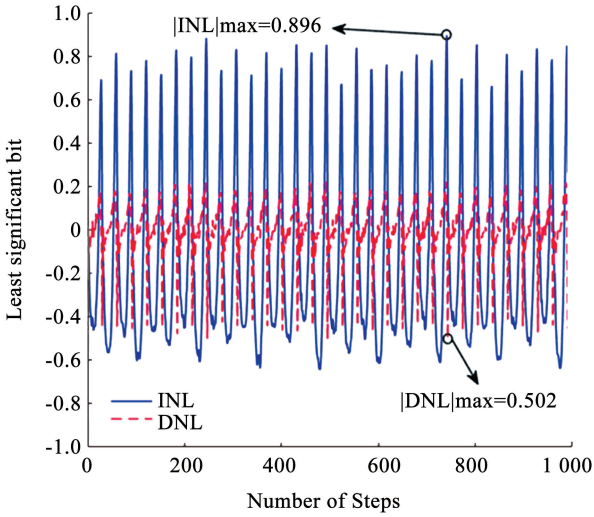


图 7 PI 的差分非线性和积分非线性

Fig. 7 Dyferential nonlinearity and integral nonlinearity of PI

($f_{phase1}, f_{phase3}, \dots, f_{phase32}$),作为每个触发器的采样时钟,则两两相差 125 ps;触发器的另一端输入为 Intra-Chip 4-PPM 符号。由于符号与本地时钟的相位已经对齐,并且输入至触发器的采样时钟是奇数项,所以每相时钟对符号数据的采样点为符号中每个时隙(共 16 个时隙)的中间位置;每当 f_{local} 上升沿来临时,解码器会对 16 个采样值进行解码,最终输

出一串 2 进制码流,完成解调,其各信号时序见图 8(b)。在图 9 中,本文采用的 DLL 整体分为 4 个部分,分别是相位比较器 (phase comparator, PC)^[16]、数控延迟线 (digital control delay line, DCDL)、计数器 (counter)、解码器 (decoder)^[14]。DCDL 由 32 个延迟单元所构成,延迟单元的电路结构^[15]见图 10(a)。在延迟单元中,NM32-NM93 构成了 NMOS 电容阵列,共 31 组。每组上下各一个,使得信号路径的充放电时间相匹配。每一组电容配

有 2 个开关,控制电容接入还是接出,以此改变延迟。从图 10(b)可得,即使在 PVT 变化时,通过改变温度计码,单级延迟时间均能够覆盖 62.5 ps。 f_{phase32} 输入至 PC 与 f_{ref} 进行相位比较。计数器会根据 PC 的输出,进行加减 $C<4:0>$,而解码器将 5 位 2 进制数转换为 31 位温度计码,转换后的码字会同时控制每一级延迟单元中的开关阵列,从而调节 DCDL 的延迟,缩小 f_{phase5} 与 f_{ref} 的相差,直至锁定。

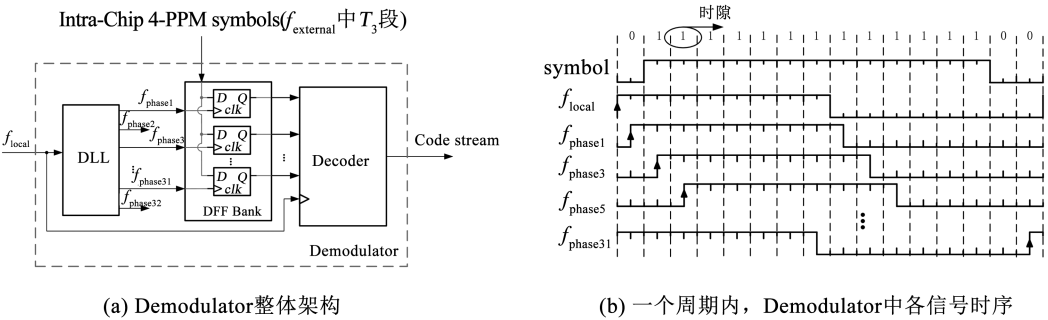


图 8 解调器实现原理

Fig. 8 Principle of demodulator

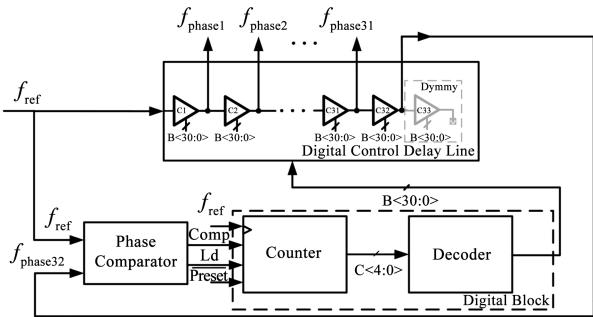


图 9 DLL 架构

Fig. 9 Structure of DLL

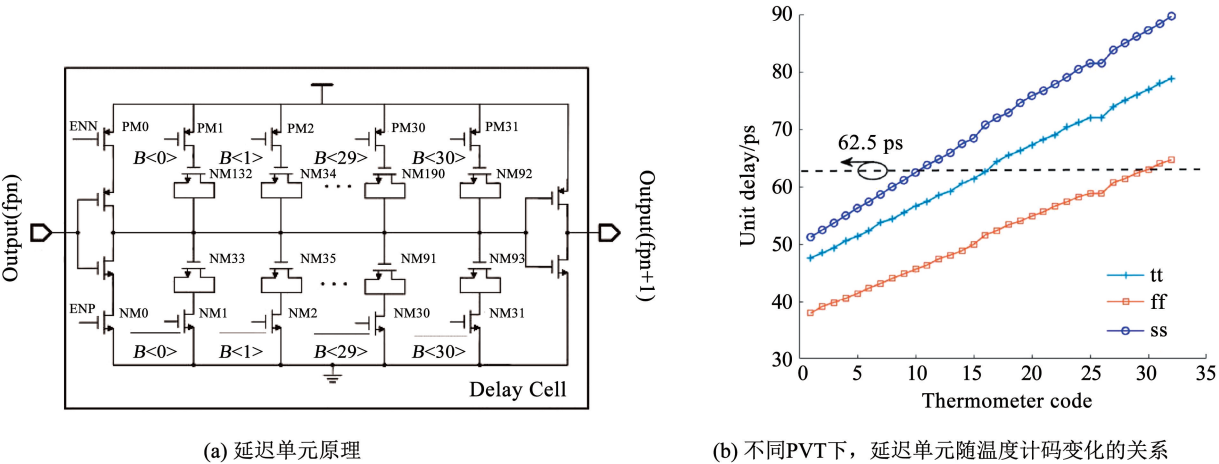


图 10 延迟单元的原理及 PVT 特性

Fig. 10 Schematic of delay cell and PVT characteristics

3 实验结果与分析

本文的整体电路与系统是在 Cadence 公司旗下的 Virtuoso 软件平台,并基于 UMC 代工厂 40 nm CMOS 工艺库,进行设计、仿真和验证。诚然,本文的频偏补偿及数据解调的设计及实验是在码间串扰可被均衡器很好解决的前提下进行的。现设置本地时钟频率为 500 MHz,接收数据与本地时钟的频率偏差度为 50×10^{-6} 。频率偏差度可由下式计算:

$$\Delta f = \frac{|f_{tx} - f_{rx}|}{f_{rx}} \times 100\% = \frac{|T_{tx} - T_{rx}|}{T_{rx}} \times 100\% \quad (4)$$

式中 f_{tx} 、 f_{rx} 分别为接收数据的频率和本地时钟频率,而 T_{tx} 、 T_{rx} 为与频率对应的单周期值。此外, $T2_code < 15:0 >$ 赋值 1 024, $T3_code < 15:0 >$ 赋值 10 240,表明 T_3 约为 T_2 的 10 倍。由于数据是 Intra-Chip 4-PPM 符号串,所以每个脉冲上升沿的来临时刻并不固定。为了更加直观地验证补偿效果,本文将接收数据从 T_2 时刻进行时钟周期延拓,以此观察 T_1 至 T_3 时段中,外部时钟与本地时钟在每个周期内的相位差,从而得到在 T_3 时段频偏的补偿效果,见图 11。同时,本文还对整体电路进行了 PVT 仿真,包括最快工艺角 (ff, 1.21 V, -40°) 及最慢工艺角 (ss, 0.99 V, 85°)。在 T_1 截止时刻,数据帧与本地时钟的相位差并不为零,主要有 2 点原因。其一是由于 PD 模块采用 CML (current mode logic) 架构的 D 触发器,其在零点附近存在 5 ps 的判决盲区,无法判断数据帧与本地时钟的相位关系。其二是由于时钟存在随机抖动。在 T_3 时段,若不进行频偏补偿,可由式 (4) 计算得到 $|T_{tx} - T_{rx}|$ 为 0.1 ps,则这一时段所累积的相差将高达 1 024 ps,这对数据解调而言,是致命的;而在本文的频偏补偿下, T_3 截止时刻, T_1 至 T_3 时段累积的相差在典型,最快和最慢工艺角下,各减小至 8.44 ps、30.93 ps 和 30.52 ps;若只考虑在 T_3 时段累积的相差,则各为 21.14 ps、17.25 ps、16.34 ps。因此,由式 (5) 可得:

$$\text{频偏补偿准确度} = \frac{\text{无补偿累积相差} - \text{补偿后累积相差}}{\text{无补偿累积相差}} \times 100\% \quad (5)$$

在上述 3 种工艺角下,本文的频偏补偿准确度分别为 97.94%、98.32%、98.40%。由于频偏补偿是一个动态的过程,所以也可以用 T_3 时段的平均频率偏差度来衡量补偿效果。对式 (4) 进一步拓展至式 (6):

$$\Delta f_{ave} = \frac{|T'_{tx} - T'_{rx}|}{T_{rx} \times N} \times 100\% = \frac{\text{补偿后累积相差}}{T_{rx} \times N} \times 100\% \quad (6)$$

式中: Δf_{ave} 为平均频率偏差度; N 为 T_3 时段的参考周期数,此处 N 取值 10 240; T'_{tx} 、 T'_{rx} 分别为该时段接收数据的总周期值和补偿后本地时钟的总周期值。

当 T_{rx} 为 2 ns 时,可由式 (6) 计算得到典型工艺角下, T_3 时段补偿后的平均频率偏差度为 1.03×10^{-6} 。

从算法层面而言,本文做到了无偏差补偿,但 T_3 时段仍然累积了相差,造成这一现象主要有 3 个原因:第一个原因是 PI 本身存在非线性,其最大 INL 为 0.896 LSB;其二是 DLL 锁定之后,PC 的 2 个输入时钟存在微小的静态误差;其三是时钟的随机抖动。不过,对于本文 PPM 系统的数据正确解调而言,这些误差是系统所允许的。此外, T_1 、 T_2 时段并不传调制数据,可将这段时间看成数据帧的额外开销。其中 T_1 时间长度不超过 496 (992/2) 个参考周期,而 T_2 、 T_3 的时间段是可编程的,具有一定的自由度。所以当 T_2 、 T_3 的时间长度分别为 512、20 480 个参考周期时,此开销最多占数据帧长度的 4.7%,然而从上文可知,这段开销是必要且有意义的。在 T_3 时段,解调器对数据帧进行解调,其结果见图 12。本文电路的整体功耗为 17.41 mW,各模块的功耗见表 2。与传统数字同步方案^[6]相比,本文以较少的功耗代价,不仅对高速数据进行频偏补偿,实现符号同步,而且完成了数据解调。

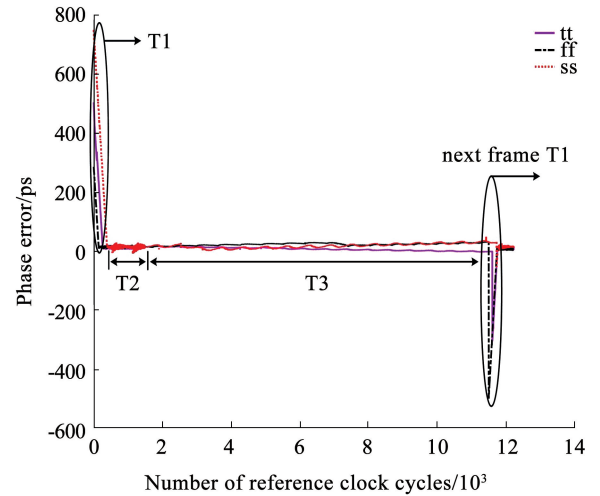


图 11 累积相差随时间变化的关系
Fig. 11 Variation of phase error with time

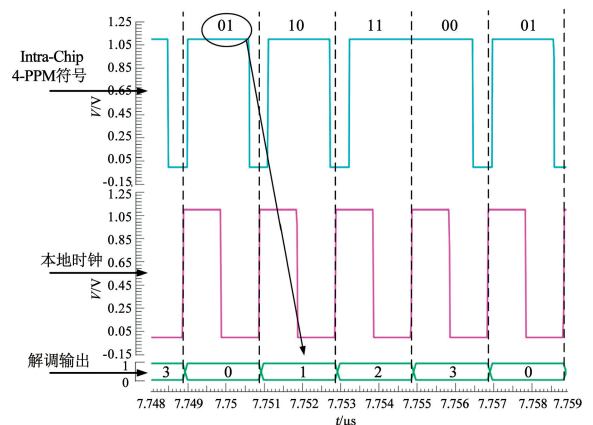


图 12 Intra-Chip 4-PPM 符号的解调结果
Fig. 12 Demodulation results of Intra-Chip 4-PPM symbols

表2 各子模块功耗	
Tab.2 Power consumption of sub-blocks	
模块	功耗/mW
PI*	4.29
PD	0.24
DLL	5.17
Demodulator	5.51
Digital block	2.20

注: * 包含 CS-DAC、PS、PI 核及 D-to-S。

4 结 论

针对接收端与反射端时钟存在频率偏移问题,设计并实现了一种模拟域频偏补偿的算法及电路,并对 Intra-Chip 4-PPM 符号进行同步解调,实现了 1 Gbit/s 的数据传输速率。通过 T_1 时段相位追踪、 T_2 时段频偏信息提取、 T_3 时段频偏补偿 3 步实现了一帧数据与本地时钟的符号同步,并消除频偏。与传统的数字同步方案相比,本文改进了 PPM 符号,并且无需插入导频,节省频带资源;同时,在接收端也无需高频时钟数据恢复电路,减少资源开销。设计的 TFMS 模块使得 CS-DAC 的码字在区间跳变时连续变化,消除了由码字突变引起的电流毛刺,避免了 PI 输出的相位突变。DLL 和 PI 的结合,使得 PI 在整个时钟周期内均可插值,实现插值的分辨率为 2.016 ps,最大 INL 为 0.325°。在 T_2 时段,PI 与 TFMS 的结合实现了 TDC 的功能,以此统计由频偏引起的累积相差。在 T_3 时段,直接利用补偿后的本地时钟对数据进行解调。最终,本文通过实验证明,该电路的频偏补偿准确度达到了 97.94%,并在各工艺角下,均具有良好的鲁棒性。该方法在无线通信和光通信的 PPM 数据同步及解调中具有良好的工程应用价值。

参考文献

[1] PIERCE J. Optical channels: practical limits with photon counting [J]. IEEE Transactions on Communications, 1978, 26 (12): 1819. DOI: 10.1109/TCOM.1978.1094043

[2] 华惊宇, 马章勇, 王东明, 等. 移动通信中一种精确的多普勒频移估计方法[J]. 电子与信息学报, 2005, 27(1): 95

HUA Jingyu, MA Zhangyong, WANG Dongming, et al. An accurate scheme for the Doppler shift estimation in mobile communication systems[J]. Journal of Electronics Information Technology, 2005, 27(1): 95

[3] XIAO Yan, QIAN Wang, XIN Hao, et al. A high-efficiency multiplierless symbol synchronization algorithm for IEEE802.11x WLANs[J]. Wireless Personal Communications, 2017, 94(3): 1738. DOI: 10.1007/s11277-016-3709-7

[4] CHEN Ming, HE Jing, CAO Zizheng, et al. Symbol synchronization

and sampling frequency synchronization techniques in real-time DDO-OFDM systems[J]. Optics Communications, 2014, 326: 80

[5] WEN Miaowen, ZHENG Beixiong, GUAN Quansheng, et al. Novel pilot position detection for SC-FDE systems with frequency domain pilot multiplexing technique [J]. IEEE Signal Processing Letters, 2016, 23(7): 910

[6] 马爽, 吴志勇, 高世杰, 等. 改进的大气激光通信 PPM 调制解调系统设计[J]. 哈尔滨工业大学学报, 2016, 48(5): 105

MA Shuang, WU Zhiyong, GAO Shijie, et al. Design of modified atmospheric laser communication PPM modulation-demodulation system[J]. Journal of Harbin Institute of Technology, 2016, 48(5): 105. DOI:10.11918/j. issn. 0367-6234. 2016. 05. 017

[7] GUPTA A, GUPTA L. Improved performance 6-bit 3.5 GS/s unary CS-DAC using glitch reduction [J]. International Journal of Electronics Letters, 2019, 8(6): 7. DOI: 10.1080/21681724.2019.1625965

[8] CHUNG S W, ABEDIASL H, HASHEMI H. A monolithically integrated large-scale optical phased array in silicon-on-insulator CMOS[J]. IEEE Journal of Solid-State Circuits, 2017(99): 12. DOI:10.1109/JSSC.2017.2757009

[9] CHENG K H, HUNG C L, CHANG C H. A 0.77 ps RMS jitter 6-GHz spread-spectrum clock generator using a compensated phase-rotating technique[J]. IEEE Journal of Solid-State Circuits, 2011, 46(5): 1208. DOI: 10.1109/JSSC.2011.2105690

[10] YOON Y, PARK H, KIM C. A DLL-based quadrature clock generator with a 3-stage quad delay unit using the sub-range phase interpolator for low-jitter and high-phase accuracy DRAM applications [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(11): 2345. DOI: 10.1109/TCSII.2020.2976983

[11] BUHR S, HOYER M, KREIBIG M, et al. A 10 bit phase-interpolator-based digital-to-phase converter for accurate time synchronization in ethernet applications [C]//2020 27th IEEE International Conference on Electronics, Circuits and Systems (ICECS). Glasgow: IEEE, 2020: 3. DOI: 10.1109/ICECS49266.2020.9294824

[12] LI Tong, XIONG Liang, YIN Yun, et al. A wideband digital polar transmitter with integrated capacitor-DAC-based constant-envelope digital-to-phase converter [C]//2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). Boston: IEEE, 2019:84. DOI: 10.1109/RFIC.2019.8701803

[13] WU Guoying, HUANG Deping, LI Jingxiao, et al. A 1-16 Gb/s all-digital clock and data recovery with a wideband high-linearity phase interpolator [J]. IEEE Transactions on Very Large Scale Integration Systems, 2016, 24(7):2514. DOI: 10.1109/TVLSI.2015.2418277

[14] LIU Wenwen, LIN Min, SHI Jingwei, et al. High throughput low complexity and low power ePBM RS decoder using fractional folding [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(8): 2832. DOI: 10.1109/TCSII.2021.3070359

[15] LO Y L, CHOU P Y, CHENG H H, et al. An all-digital DLL with dual-loop control for multiphase clock generator [C]//2011 13th International Symposium on Integrated Circuits (ISIC). Singapore: IEEE, 2011: 389. DOI: 10.1109/ISICir.2011.6131978

[16] DEHNG G K, HSU J M. Clock-deskew buffer using a SAR-controlled delay-locked loop [J]. IEEE Journal of Solid-State Circuits, 2000, 35(8): 1131. DOI: 10.1109/4.859501

(编辑 苗秀芝)